

**CENTRO UNIVERSITÁRIO DA FEI**

**Luciano Mendes Almeida**

**ESTUDO DO COMPORTAMENTO DA CORRENTE DE FUGA  
EM TRANSISTORES DE PORTAS CIRCULARES SOI MOSFET  
OPERANDO EM ALTAS TEMPERATURAS**

**São Bernardo do Campo**

**2007**

**Luciano Mendes Almeida**

**ESTUDO DO COMPORTAMENTO DA CORRENTE DE FUGA  
EM TRANSISTORES DE PORTAS CIRCULARES SOI MOSFET  
OPERANDO EM ALTAS TEMPERATURAS**

Dissertação de mestrado apresentada ao Centro  
Universitário da FEI como parte dos requisitos  
necessários para a obtenção do título de Mestre em  
Engenharia Elétrica.

Orientador: Prof. Dr. Marcello Bellodi

**São Bernardo do Campo**

**2007**

Almeida, Luciano Mendes.

Estudo do comportamento da corrente de fuga em transistores de porta circular SOI MOSFET operando em altas temperaturas /

Luciano Mendes Almeida. São Bernardo do Campo, 2007.

75f: il.

Trabalho de Conclusão de Curso - Centro Universitário da FEI.

Orientador: Prof. Marcello Bellodi

1. SOI. 2. MOSFET. 3. Correntes de fuga. 4. Altas temperaturas. 5. Portas circulares. I. Título.

CDU 621.382.3



Aos meus pais, que além de terem me ensinado a andar, me deram asas para ir mais longe. À minha amiga e namorada Maíza, que soube me entender e compreender nas horas mais difíceis, e que me deu forças e me ensinou a superar essas horas. Aos professores pela preocupação e ajuda nos momentos difíceis. E aos meus amigos do grupo de mestrado.

## **AGRADECIMENTOS**

Ao meu orientador e amigo Prof. Dr. Marcello Bellodi, pela dedicação, pela confiança, pelo entusiasmo e pelo apoio, decisivos para a conclusão deste trabalho.

Aos professores Dr. Salvador P. Gimenez e Dr. Aparecido S. Nicolett pela contribuição no decorrer do trabalho, e em especial aos conselhos advindos da apresentação de minha qualificação.

Aos demais professores do curso de mestrado Dr. João A. Martino, Dr. Marcelo A. Pavanello, e Dr. Renato Giacomini que solucionaram as mais variadas dúvidas e pela dedicação ao longo das aulas.

Aos meus pais e familiares pelo grande incentivo, pelo apoio, e pela compreensão durante todo o trabalho.

Ao meu amigo Rodrigo T. Doria, pelo auxílio durante as simulações de dispositivos e pelas discussões durante o trabalho.

Aos demais colegas de turma Alfonso, Glória, Júlia, Rodrigo Mazzutti, Rodrigo Bechelli e Rogério que tanto colaboraram nesta jornada.

À estrutura do grupo de mestrado da FEI pela facilidade no uso de suas instalações.

À minha amiga e namorada Maíza, pela compreensão e atenção dadas ao longo deste período.

A todos aqueles que de alguma forma mostraram interesse pelo trabalho e que tiveram seu nome aqui omitido de forma involuntária.

Há dois momentos importantes na vida: O momento em que se aprende e o momento em que se ensina, o resto é fruto desses dois momentos.

Milton Rodrigues

## RESUMO

Almeida, L. M. **Estudo do Comportamento da Corrente de Fuga em Transistores de Portas Circulares SOI MOSFET Operando em Altas Temperaturas**. 2007. 71 f., Dissertação (Mestrado) – Centro Universitário da FEI, São Bernardo do Campo, 2007.

Neste trabalho é apresentado um estudo da corrente de fuga em dispositivos SOI MOSFETs operando em altas temperaturas em duas estruturas geométricas: de porta retangular e de porta circular (CG). Estas estruturas são implementadas na tecnologia SOI nMOSFET parcialmente depletada, as quais serão submetidas a operarem desde a temperatura ambiente (300 K) até 573 K.

O dispositivo de porta circular é assim denominado devido a toda sua estrutura possuir uma forma circular, que por sua vez, apresenta uma assimetria entre os terminais de dreno e fonte. Desta maneira, é possível utilizar duas combinações possíveis para a polarização.

Para o desenvolvimento deste trabalho, uma série de simulações numéricas foram executadas para a obtenção das características corrente de dreno ( $I_{DS}$ ) em função da tensão da porta ( $V_{GS}$ ), através das quais comparamos os comportamentos dos transistores SOI MOSFET de porta retangular e os de porta circular. Como consequência destas simulações, foram investigados o comportamento da corrente de fuga do dreno e suas respectivas componentes em função da variação do comprimento de canal ( $L$ ) das estruturas SOI MOSFETs.

Inicialmente o estudo do comportamento da corrente de fuga foi realizado a partir das curvas  $I_{DS} \times V_{GF}$  para posterior avaliação do comportamento da corrente de fuga do dreno em função da variação da temperatura ( $I_{Fuga} \times Temperatura$ ), e da corrente de fuga em função do comprimento de canal ( $I_{Fuga} \times L$ ). Em todos os resultados obtidos, sem exceção, foram constatadas ocorrências de dois fenômenos: dispositivos com comprimentos de canal menores ( $L$ ) apresentam correntes de fuga maiores, e o CG SOI MOSFET pode apresentar comportamentos diferentes dependendo da configuração de sua polarização devido à sua assimetria. Portanto, com a intenção de investigar os motivos de ocorrerem esses fenômenos, foram avaliados os comportamentos da densidade da corrente de fuga em função da espessura do filme de silício ( $J_{Fuga} \times t_{Si}$ ) e também, a intensidade de campo elétrico do dreno em função da espessura do filme de silício ( $E \times t_{Si}$ ).

Palavras-chave: Transistor. SOI MOSFET. Porta Circular. Altas Temperaturas. Corrente de Fuga.



## ABSTRACT

Almeida, L. M. **Study of the Leakage Current Behavior in Circular Gates Transistors SOI MOSFET Operating at Highs Temperatures.** 2007. 71 f., Dissertation (Master) – Centro Universitário da FEI, São Bernardo do Campo, 2007.

In this work is presented a study of the drain leakage current behavior in SOI MOSFETs devices operating at high temperatures for two geometries: rectangular gate and circular gate (CG). These structures are implemented using SOI nMOSFET partially depleted technology, which will be submitted to operate since room temperature up to 573 K.

The circular gate device (CG SOI MOSFET) is a structure where the device has a circular form, and it presents an asymmetrical configuration between the drain and the source terminals, where it is possible to obtain two bias combinations. Then, numerical simulations were executed using these devices to obtain the drain current ( $I_{DS}$ ) versus gate voltage ( $V_{GS}$ ), where it is compared its behavior with transistors rectangular gate SOI MOSFET operating since room temperature up to 573 K. Along this work it was investigated the current behavior and its respective components as a function of the channel length ( $L$ ) in these devices.

The study of the drain leakage current behavior started from the  $I_{DS} \times V_{GS}$  curves, where it was obtained the leakage current parameters as a function of temperature ( $I_{Leak} \times \text{Temperature}$ ) and as a function of channel length ( $I_{Leak} \times L$ ). The results showed two phenomena: devices with lowest channel length ( $L$ ) presents higher leakage current, and the CG SOI nMOSFETs show different behaviors depending on the bias configurations due to its asymmetry.

Therefore, in order to investigate the cause of these phenomena, the drain leakage current density as a function of silicon thickness ( $J_{Leak} \times t_{Si}$ ) and the electric field as a function of silicon film thickness ( $E \times t_{Si}$ ) were analyzed.

Key-words: Transistor. SOI nMOSFET. Circular Gate. High Temperatures. Leakage Current.

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>18</b>
1.1	OBJETIVO DO TRABALHO .....	18
1.2	APRESENTAÇÃO DO TRABALHO .....	19
<b>2</b>	<b>FUNDAMENTOS TEÓRICOS.....</b>	<b>21</b>
2.1	A TECNOLOGIA SOI MOSFET.....	21
2.2	TIPOS DE ESTRUTURAS SOI MOSFETS .....	22
2.3	SOI MOSFETS OPERANDO EM ALTAS TEMPERATURAS .....	26
2.3.1	Aplicações Práticas da Tecnologia SOI MOSFET Operando em Altas Temperaturas .....	26
2.4	CORRENTE DE FUGA.....	28
<b>3</b>	<b>APRESENTAÇÃO DOS DISPOSITIVOS.....</b>	<b>30</b>
3.1	DESCRIÇÃO DO SOI NMOSFETS DE PORTA RETANGULAR.....	30
3.2	DESCRIÇÃO DO SOI NMOSFET DE PORTA CIRCULAR.....	31
<b>4</b>	<b>RESULTADOS DAS SIMULAÇÕES .....</b>	<b>36</b>
4.1	SIMULAÇÕES NUMÉRICAS E RESULTADOS .....	36
4.1.1	Simulador ATLAS.....	36
4.1.2	Modelos Utilizados para as Simulações .....	37
4.2	OBTENÇÃO DAS CURVAS DA CORRENTE DE DRENO ( $I_{DS}$ ) EM FUNÇÃO DA TENSÃO DE PORTA ( $V_{GF}$ ).....	38
4.3	IMPACTO NOS DISPOSITIVOS SOI MOSFETS OPERANDO EM ALTAS TEMPERATURAS .....	44
4.3.1	Corrente de Fuga .....	44
4.3.2	Densidade da Corrente de Fuga.....	49
4.3.3	Campo Elétrico.....	61
<b>5</b>	<b>CONCLUSÕES E TRABALHOS FUTUROS .....</b>	<b>67</b>
	<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>69</b>
	<b>APÊNDICE 1.....</b>	<b>72</b>
	<b>APÊNDICE 2.....</b>	<b>75</b>

## LISTA DE FIGURAS

Figura 1.1 – Vista Superior do CG SOI nMOSFETs. (a) Configuração com Dreno Interno, e (b) configuração com o dreno externo.....	19
Figura 2.1 – (a) Corte da seção transversal do nMOSFET de porta retangular (b) Corte da seção transversal do SOI nMOSFET de porta retangular.....	21
Figura 2.2 – Diagrama de faixas de energia do dispositivo MOSFET.....	23
Figura 2.3 – Diagrama de faixas de energia do SOI MOSFET de camada espessa.....	23
Figura 2.4 – Diagrama de faixas de energia do SOI MOSFET de camada fina.....	24
Figura 2.5 – Efeito típico da elevação da corrente de dreno.....	25
Figura 3.1 – Dimensões físicas da estrutura do SOI nMOSFET estudado.....	30
Figura 3.2 – Dimensões físicas da estrutura do CG SOI nMOSFET. (A) Vista Superior e (B) Vista em corte da seção transversal do dispositivo.....	31
Figura 3.3 – Representação gráfica da estrutura do CG SOI nMOSFET simulado em 3D.....	32
Figura 3.4 – Comparação da curva $I_{DS} \times V_{GF}$ do dispositivo SOI nMOSFET de porta retangular com $L = 1,0 \mu\text{m}$ e $T = 573 \text{ K}$ simulado em 2D e 3D.....	35
Figura 4.1 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com dreno externo (DE) (a) escalar linear e (b) escala monologarítmica.....	39
Figura 4.2 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com dreno interno.....	39
Figura 4.3 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do SOI nMOSFET de porta retangular.....	40
Figura 4.4 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com DE para diferentes $L$ , operando com $T = 573 \text{ K}$ .....	41
Figura 4.5 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com DI para diferentes $L$ , operando com $T = 573 \text{ K}$ .....	41
Figura 4.6 – Curva comparativa de $I_{DS}/W \times V_{GF}$ dos dispositivos com $L=1,0 \mu\text{m}$ e $V_{DS} = 200 \text{ mV}$ , operando a $573 \text{ K}$ .....	42
Figura 4.7 – Curva comparativa de $I_{DS}/W \times V_{GF}$ dos dispositivos com $L=1,0 \mu\text{m}$ e $V_{DS} = 200 \text{ mV}$ , operando a $473 \text{ K}$ .....	43
Figura 4.8 – Curva comparativa de $I_{DS}/W \times V_{GF}$ dos dispositivos com $L=1,0 \mu\text{m}$ e $V_{DS} = 200 \text{ mV}$ , operando a $373 \text{ K}$ .....	43

Figura 4.9 – Extração do valor da corrente de fuga a partir da curva $I_{DS}/W \times V_{GF}$ .....	45
Figura 4.10 – Evolução da corrente de fuga em função da temperatura.....	45
Figura 4.11 – Evolução da corrente de fuga nos dispositivos CG SOI nMOSFETs configurados como DE em função da temperatura. ....	46
Figura 4.12 – Evolução da corrente de fuga em função da temperatura para as duas estruturas com $L = 1,0 \mu\text{m}$ . ....	46
Figura 4.13 – Evolução da corrente de fuga em função da temperatura para as duas estruturas com $L = 0,5 \mu\text{m}$ . ....	47
Figura 4.14 – Evolução da corrente de fuga no dispositivo CG SOI nMOSFET com DE em função do comprimento de canal.....	48
Figura 4.15 – Evolução da corrente de fuga em função do comprimento de canal entre as configurações de dreno externo e interno da estrutura CG SOI nMOSFET. ....	48
Figura 4.16 – Evolução da corrente de fuga em função do comprimento de canal para o dispositivo SOI nMOSFET de porta retangular. ....	49
Figura 4.17 – Ilustração da região onde são extraídos os valores da densidade de corrente dos dispositivos SOI MOSFETs. ....	50
Figura 4.18 – Composição da densidade de corrente de fuga em função da profundidade do filme de silício para um CG SOI nMOSFET configurado como DE com $L = 0,5 \mu\text{m}$ operando à 573 K.....	51
Figura 4.19 – Composição da densidade de corrente de fuga em função da profundidade do filme de silício para um CG SOI nMOSFET configurado como DE com $L = 1,0 \mu\text{m}$ operando à 573 K.....	51
Figura 4.20 – Comparação do comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício para diferentes comprimentos de canal do CG SOI nMOSFET configurado como DE. ....	52
Figura 4.21 – Comparação do comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício para diferentes comprimentos de canal do CG SOI nMOSFET configurado como DI. ....	53
Figura 4.22 – Comparação do comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício para diferentes comprimentos de canal do SOI nMOSFET de porta retangular. ....	53
Figura 4.23 – Comparação da densidade de corrente de fuga por elétrons e por lacunas em função da profundidade do filme de silício para diferentes comprimentos de canal do CG SOI nMOSFET configurado como DE. ....	54

Figura 4.24 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para configuração DE de um dispositivo CG SOI nMOSFET. ....	55
Figura 4.25 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para configuração DI de um dispositivo CG SOI nMOSFET. ....	55
Figura 4.26 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício em altas temperaturas de um dispositivo SOI nMOSFET de porta retangular. ....	56
Figura 4.27 – Comparação da densidade de corrente de fuga por elétrons e por lacunas em função da profundidade do filme de silício para diferentes temperaturas de operação do CG SOI nMOSFET configurado como DE. ....	56
Figura 4.28 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para o CG SOI nMOSFET com $L = 0,5 \mu\text{m}$ . ....	58
Figura 4.29 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para o CG SOI nMOSFET com $L = 0,7 \mu\text{m}$ . ....	58
Figura 4.30 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para o CG SOI nMOSFET com $L = 1,0 \mu\text{m}$ . ....	59
Figura 4.31 – Detalhes do ponto onde ocorre a inversão dos portadores majoritários. ....	60
Figura 4.32 – Detalhes da extração do campo elétrico no interior do canal do dispositivo. ....	61
Figura 4.33 – Curva do Campo Elétrico em função do filme de silício para $L = 0,5 \mu\text{m}$ para o CG SOI nMOSFET configurado com dreno interno. ....	62
Figura 4.34 – Curva do Campo Elétrico em função do filme de silício para $L = 0,5 \mu\text{m}$ para o CG SOI nMOSFET configurado com dreno externo. ....	63
Figura 4.35 – Comparação do Campo Elétrico em função do filme de silício para o CG SOI nMOSFET configurado com DE e DI a 573 K e $L = 0,5 \mu\text{m}$ . ....	63
Figura 4.36 – Comparação do Campo Elétrico em função do filme de silício para o CG SOI nMOSFET configurado com DE e DI a 573 K e $L = 1,0 \mu\text{m}$ . ....	64

## LISTA DE TABELAS

Tabela 3.1 – Largura de canal normalizada ( $W_n$ ) para os CG SOI nMOSFET .....	34
Tabela 4.1 – Distância (d) onde ocorre a inversão dos portadores majoritários nas estruturas CG SOI nMOSFETs.....	60

## LISTA DE SÍMBOLOS

- A - Áreas das junções [ $\mu\text{m}^2$ ]
- $C_{\text{OX}}$  - Capacitância no óxido de porta por unidade de área do transistor [ $\text{F}/\text{cm}^2$ ]
- E - Intensidade de campo elétrico [ $\text{V}/\mu\text{m}$ ]
- $E_{\text{C}}$  - Nível de energia de condução [eV]
- $E_{\text{F}}$  - Nível de Fermi [eV]
- $E_{\text{G}}$  - Largura da faixa proibida [eV]
- $E_{\text{i}}$  - Nível intrínseco de energia [eV]
- $E_{\text{v}}$  - Nível de energia de valência [eV]
- $\epsilon_{\text{Si}}$  - Permissividade do silício [ $\text{F}/\text{cm}$ ]
- $\Phi_{\text{F}}$  - Potencial do nível de Fermi [V]
- $I_{\text{DS}}$  - Corrente elétrica entre o dreno e a fonte do transistor [A]
- $I_{\text{Leak}}$  - Corrente de fuga [A]
- J - Densidade de corrente [ $\text{A}/\text{cm}^2$ ]
- k - Constante de Boltzmann [eV/K]
- L - Comprimento de canal do transistor [ $\mu\text{m}$ ]
- $\mu_{\text{n}}$  - Mobilidade de elétrons [ $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ]
- $\mu_{\text{p}}$  - Mobilidade de lacunas [ $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ]
- n - Concentração de elétrons no silício [ $\text{cm}^{-3}$ ]
- $N_{\text{A}}$  - Concentração de impurezas aceitadoras do semicondutor [ $\text{cm}^{-3}$ ]
- $N_{\text{D}}$  - Concentração de impurezas doadoras do semicondutor [ $\text{cm}^{-3}$ ]
- $n_{\text{i}}$  - Concentração intrínseca de portadores [ $\text{cm}^{-3}$ ]
- q - Carga elementar do elétron [C]
- p - Concentração de lacunas no silício [ $\text{cm}^{-3}$ ]
- T - Temperatura de operação dos transistores [K]
- $t_{\text{oxf}}$  - Espessura do óxido de porta [ $\mu\text{m}$ ]
- $t_{\text{oxb}}$  - Espessura do óxido enterrado [ $\mu\text{m}$ ]
- $t_{\text{Si}}$  - Espessura da camada de silício [ $\mu\text{m}$ ]
- $\sigma$  - Condutividade do silício [ $\Omega^{-1} \cdot \text{cm}^{-1}$ ]
- $V_{\text{DS}}$  - Tensão aplicada entre o dreno e a fonte do transistor [V]
- $V_{\text{GF}}$  - Tensão aplicada na porta do transistor [V]
- $V_{\text{GB}}$  - Tensão aplicada no substrato do transistor [V]

$V_T$  - Tensão de limiar do transistor [V]

$x_{dmax}$  - Profundidade de depleção máxima [ $\mu\text{m}$ ]

$W$  - Largura do canal do transistor [ $\mu\text{m}$ ]



## LISTA DE ABREVIATURAS

CG - *Circular Gate* (Porta Circular)

DE - Dreno Externo

DI - Dreno Interno

GIDL - *Gate Induced Drain Leakage* (Corrente de Fuga de Dreno Induzida pela Porta)

SOI - *Silicon-on-Insulator* (Silício sobre Isolante)

MOS - *Metal-Oxide-Semiconductor* (Metal-Óxido-Semicondutor)

FET - *Field Effect Transistor* (Transistor de Efeito de Campo)

ZTC - *Zero Temperature Coefficient* (Coeficiente Zero de Temperatura)

# 1 INTRODUÇÃO

Devido ao contínuo escalamento das dimensões, a tecnologia MOS (*Metal Oxide Semiconductor*) tem se tornado cada vez mais complexa, graças às constantes necessidades de se obter circuitos com maiores densidades de integração e também de maiores velocidades. Devido à redução das dimensões dos dispositivos desta tecnologia, a concentração de dopantes no canal precisou ser aumentada devido às regras de escalamento [1], que acabou causando um aumento nas capacitâncias de junção e principalmente um grande aumento na corrente de fuga [2]. A tecnologia SOI (*Silicon on Insulator*) nasceu com a intenção de se amenizar estes efeitos de segunda ordem da tecnologia MOSFET. Nesta tecnologia, os circuitos são implementados em lâminas de silício sobre isolante o que permite a construção de dispositivos completamente isolados entre si e principalmente do substrato. Esta tecnologia tem sido utilizada em áreas automotivas e aeroespaciais com grande sucesso, devido à sua grande resistência à radiação eletromagnética [3, 4] e melhor estabilidade com a variação da temperatura [5, 6].

A tecnologia SOI MOSFET tem apresentado uma série de vantagens tais como, menor corrente de fuga nas junções [7], menor condutância de saída dos transistores [8], maior mobilidade [8], melhor inclinação de sublimiar [8], aumento de corrente de saturação e também menor variação da tensão de limiar conforme o aumento da temperatura [7]. Vale ressaltar também que os efeitos da elevação de corrente (*Kink Effect*) e do tiristor parasitário (*Latch-up*) foram completamente eliminados [2].

## 1.1 Objetivo do Trabalho

O objetivo deste trabalho é estudar o comportamento das correntes de fuga em transistores de porta circular utilizando a tecnologia *Silicon on Insulator* (SOI) MOSFET, operando desde a temperatura ambiente até 573 K. Para tanto, serão utilizadas simulações numéricas através das quais estaremos comparando o seu comportamento com transistores SOI MOSFETs convencionais (porta retangular). Nestas simulações serão investigados o comportamento da corrente de fuga e suas respectivas componentes em função da variação do comprimento de canal ( $L$ ) destas estruturas.

Confrontar os dados obtidos nas simulações numéricas começando com a análise da clássica curva de corrente de dreno em função da tensão aplicada na porta ( $I_{DS} \times V_{GF}$ ) e então fazer

análises sobre o comportamento da corrente de fuga em função da variação da temperatura ( $I_{Fuga} \times \text{temperatura}$ ) e da corrente de fuga em função do comprimento de canal ( $I_{Fuga} \times L$ ).

O transistor de porta circular SOI MOSFET (CG SOI MOSFET) apresenta uma assimetria em sua geometria quando comparado aos transistores SOI MOSFETs de porta retangular. Portanto, para que se possa investigar o comportamento da corrente de fuga nestas estruturas e compara-las com as estruturas de porta retangular, serão utilizadas as duas combinações possíveis para polarizar as estruturas: Uma com o dreno interno (DI), e outra com o dreno externo (DE), conforme ilustra a figura 1.1.

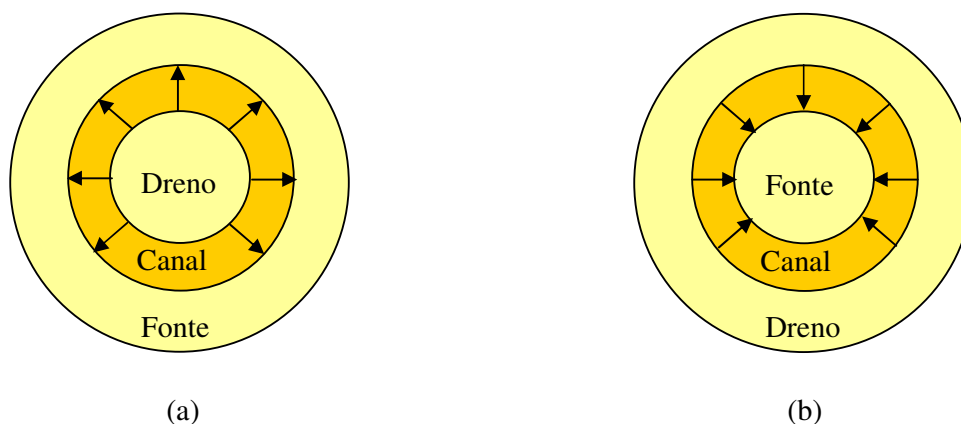


Figura 1.1 – Vista Superior do CG SOI nMOSFETs. (a) Configuração com Dreno Interno, e (b) configuração com o dreno externo.

Para o auxílio dos estudos, foram desenvolvidas simulações numéricas bidimensionais (para o caso dos SOI nMOSFETs de portas retangulares) e tridimensionais (para o caso dos transistores CG SOI nMOSFETs).

## 1.2 Apresentação do Trabalho

Este trabalho está dividido em cinco capítulos, cujos conteúdos estão descritos a seguir:

**Capítulo 2 – Fundamentos Teóricos:** São apresentados alguns conceitos básicos sobre a estrutura SOI MOSFET, alguns tipos de estruturas SOI MOSFET, além de suas aplicações práticas em altas temperaturas. Também, será apresentada uma breve revisão teórica sobre a corrente de fuga.

**Capítulo 3 – Apresentação dos Dispositivos:** Neste capítulo serão apresentados as características físicas dos dispositivos estudados ao longo deste trabalho, o SOI nMOSFET de porta retangular e o CG SOI nMOSFETs.

**Capítulo 4 – Resultados das Simulações:** Neste capítulo será feita uma breve introdução do simulador utilizado para este trabalho, assim como seus modelos empregados para a realização das diversas simulações. Serão apresentados resultados referentes aos estudos dos comportamentos da corrente de fuga do dreno, da densidade de corrente, com suas respectivas componentes, ao longo da espessura do filme de silício, e também, estudos referentes à influência da intensidade de campo elétrico para justificarmos os fenômenos observados ao longo deste trabalho.

**Capítulo 5 – Conclusão e Trabalhos Futuros:** Neste capítulo serão apresentadas as conclusões do estudo, e também sugestões para futuras pesquisas baseado nos resultados obtidos ao longo deste trabalho.

## 2 FUNDAMENTOS TEÓRICOS

Neste capítulo são apresentados alguns conceitos básicos sobre a estrutura SOI MOSFET, bem como os tipos de estruturas SOI MOSFET, além de suas aplicações práticas em altas temperaturas. Também será apresentada uma breve revisão teórica sobre a corrente de fuga.

### 2.1 A Tecnologia SOI MOSFET

A principal característica de um dispositivo SOI MOSFET é que as regiões de dreno, fonte e canal são isoladas do substrato através de uma camada de óxido de silício.

Devido ao isolamento que o óxido de silício oferece à região ativa do dispositivo, há apenas uma componente de capacitância, sempre menor quando comparada às presentes nos transistores convencionais [7], e isto promove uma série de vantagens em relação à tecnologia MOSFET, pois a região de dreno apresenta uma menor área de contato com o silício como mostra a figura 2.1, diminuindo desta maneira, a corrente de fuga na junção do dreno com o corpo do dispositivo quando operando nas mesmas condições. Com isso, a variação da corrente de fuga de dreno em função da temperatura do dispositivo SOI MOSFET é menor quando comparada ao MOSFET convencional.

A tecnologia SOI MOSFET, por possuir esta camada isolante, permite a fabricação de circuitos integrados menores, mais densos, mais velozes e com menores valores na corrente de fuga [8].

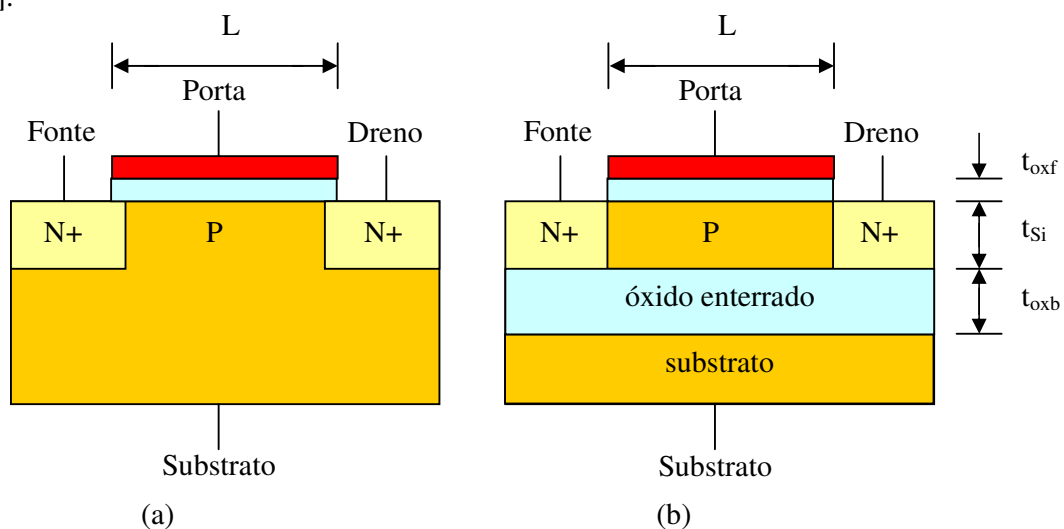


Figura 2.1 – (a) Corte da seção transversal do nMOSFET de porta retangular (b) Corte da seção transversal do SOI nMOSFET de porta retangular.

onde:

- $t_{\text{oxf}}$ : é a espessura do óxido de porta;
- $t_{\text{si}}$ : é a espessura do filme de silício;
- $t_{\text{oxb}}$ : é a espessura do óxido enterrado;
- $L$ : é o comprimento de canal.

O modo de funcionamento de um transistor SOI MOSFET depende da espessura da camada de silício, da temperatura de operação, e dos níveis de tensão aplicados em seus terminais, os quais influenciam diretamente na extensão da camada de depleção presente no dispositivo quando polarizado.

Uma das principais desvantagens dos transistores SOI MOSFET é a presença do auto-aquecimento, devido à sua dificuldade de dissipação térmica, pois a condutividade térmica do óxido de silício é bastante menor quando comparada com a do silício. Por conta do efeito Joule, há uma grande dificuldade de remoção do calor gerado na camada de silício para o restante do substrato [9]. Observa-se na figura 2.1 que a região ativa do dispositivo fica isolada do substrato, dificultando o fluxo calor. Com isso, há um aumento da temperatura de operação e conseqüentemente há a redução da mobilidade, conseqüentemente diminuindo a corrente de dreno  $I_{\text{DS}}$ .

## 2.2 Tipos de Estruturas SOI MOSFETs

O comportamento físico dos dispositivos SOI MOSFETs depende da espessura do filme de silício, da concentração de dopantes na camada de silício (região ativa) na qual são construídos e também da temperatura de operação.

Há basicamente dois tipos de dispositivos:

- SOI MOSFETs de camada fina, onde a camada de silício pode estar completamente depletada (“dispositivo totalmente depletado” ou “*FD Device – Fully Depleted*”);
- Transistores de camada espessa, onde a camada de silício na região do canal nunca fica totalmente depletada (“dispositivo parcialmente depletado” ou “*PD Device – Partially Depleted*”).

Nas figuras 2.2, 2.3 e 2.4 pode-se ver o diagrama de faixa de energia dos dispositivos MOSFETs, SOI MOSFET de camada espessa e SOI MOSFET de camada fina, respectivamente.

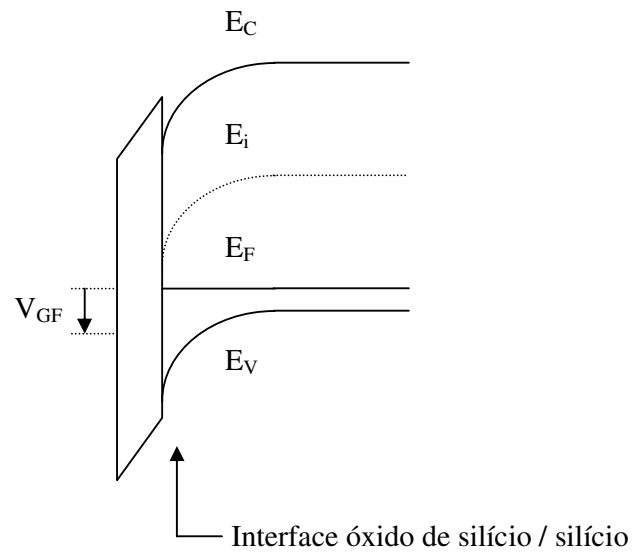


Figura 2.2 – Diagrama de faixas de energia do dispositivo MOSFET.

onde:

- $V_{GF}$ : é a tensão de porta do transistor;
- $E_C$ : é o nível de energia de condução;
- $E_i$ : é o nível intrínseco de energia;
- $E_F$ : é o nível de Fermi;
- $E_V$ : é o nível de energia de valência;

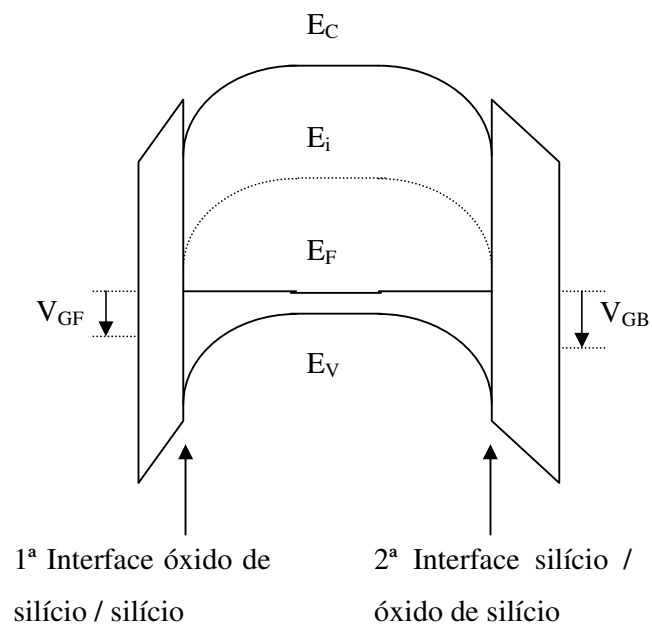


Figura 2.3 – Diagrama de faixas de energia do SOI MOSFET de camada espessa.

onde:

- $V_{GB}$ : é a tensão de substrato do transistor.

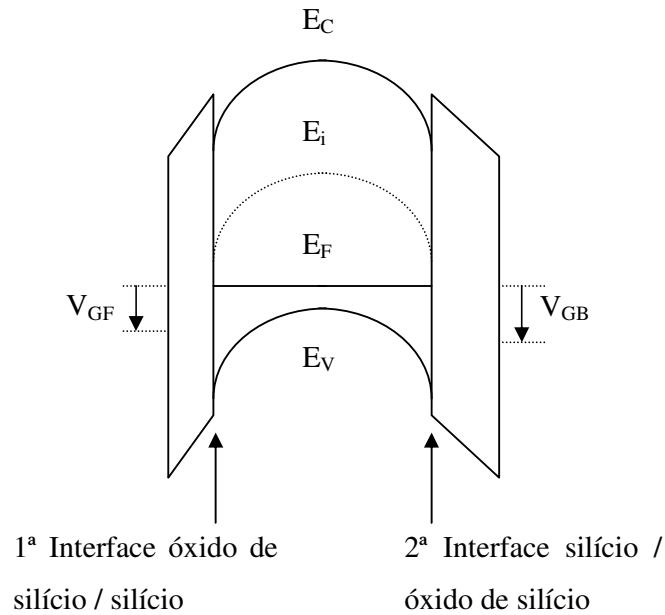


Figura 2.4 – Diagrama de faixas de energia do SOI MOSFET de camada fina.

Em um dispositivo MOSFET convencional, para o silício tipo P, a região de depleção aumenta a partir da interface silício / óxido de silício até a profundidade máxima de depleção [10],  $x_{dmax}$ , a qual é descrita pela equação (2.1) [10]:

$$x_{dmax} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_A}} \quad (2.1)$$

onde:

- $\epsilon_{Si}$ : é a permissividade do silício;
- $q$ : é a carga elementar do elétron;
- $\phi_F$ : é o potencial de Fermi;
- $x_{dmax}$ : é a profundidade de depleção máxima;
- $N_A$ : é a concentração de impurezas aceitadoras do semiconductor;



E com o potencial de Fermi  $\phi_F$  dado pela equação (2.2) [10]:

$$\phi_F = \frac{k.T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (2.2)$$

onde:

- T: é a temperatura absoluta;
- k: é a constante de Boltzmann;
- $n_i$ : é a concentração intrínseca de portadores.

Para que um dispositivo SOI MOSFET seja denominado como parcialmente depletado (PD SOI – “*Partially Depleted*”), a espessura da camada de silício ( $t_{Si}$ ) deve ser maior que o dobro da profundidade máxima ( $x_{dmax}$ ). Neste caso, nunca haverá interação entre as camadas de depleção decorrentes da primeira interface com a segunda interface, garantindo sempre uma região neutra entre as mesmas. Nestas condições, caso o corpo esteja ligado ao potencial de terra, o dispositivo apresentará um comportamento similar a um dispositivo MOSFET convencional [11].

No dispositivo SOI MOSFET de camada fina, a espessura da camada de silício ( $t_{Si}$ ) é menor que a profundidade de depleção máxima ( $x_{dmax}$ ) [12]. Neste caso, a camada de silício permanece totalmente depletada, independente da condição de polarização do substrato ( $V_{GB}$ ). Este tipo dispositivo é livre do efeito de elevação abrupta de corrente (efeito *Kink*) [11].

Na figura 2.5 pode-se ver um exemplo típico do efeito *Kink*.

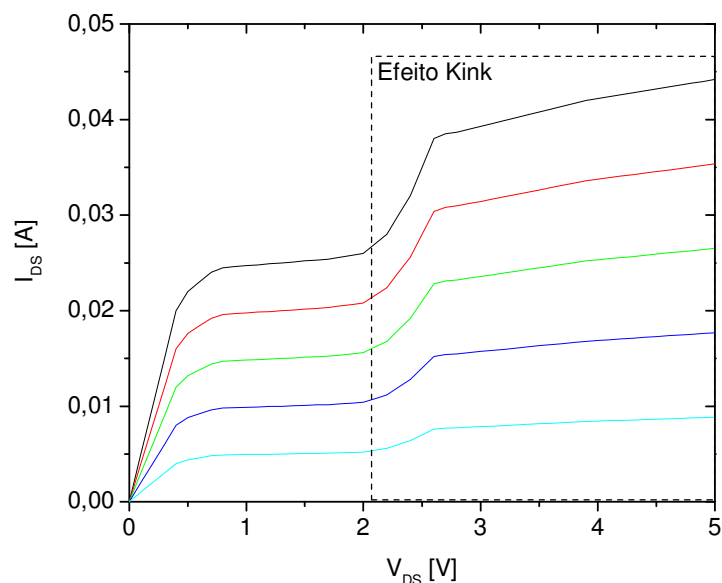


Figura 2.5 – Efeito típico da elevação da corrente de dreno.

O efeito *Kink* é caracterizado por ter a aparência de um ‘joelho’ observado na curva da corrente de dreno em função da tensão aplicada no dreno ( $I_{DS} \times V_{DS}$ ) dos dispositivos SOI MOSFET. Este efeito geralmente ocorre nos dispositivos parcialmente depletados de canais tipo N, já nos dispositivos de canais tipo P este efeito acontece com menos frequência ou às vezes é até ausente dependendo da polarização do dispositivo.

O efeito *Kink* ocorre somente quando a tensão de dreno é bastante elevada, fazendo com que os elétrons presentes no canal do dispositivo ganhem energia suficiente na região próxima da zona de alto campo elétrico do dreno criando o par elétron-lacuna, formando assim o mecanismo de ionização por impacto [13].

Os dispositivos totalmente depletados exibem melhores propriedades, tais como baixo campo elétrico, alta transcondutância, e melhores características de inclinação na região de sublimar [11].

## 2.3 SOI MOSFETs Operando em Altas Temperaturas

Muitas aplicações exigem alta performance e operam em altas temperaturas (setores automotivo e aeroespacial), nestas áreas muitos circuitos eletrônicos não são capazes de operar adequadamente acima de 473 K [14].

Os dispositivos SOI MOSFETs têm apresentado bons resultados para aplicações onde a alta temperatura é inevitável. A tecnologia SOI MOSFET oferece três grandes vantagens sobre a tecnologia MOSFET convencional: ausência de ativação térmica por *latch-up*, correntes de fuga menores, e no caso dos dispositivos completamente depletados uma menor variação da tensão de limiar em função da temperatura [11]. Essas vantagens são observadas principalmente acima dos 473 K, onde os transistores convencionais chegam até a perder a sua funcionalidade [14, 15, 16].

### 2.3.1 Aplicações Práticas da Tecnologia SOI MOSFET Operando em Altas Temperaturas

Os dispositivos SOI MOSFETs apresentam diversas propriedades que permitem eles operarem em ambientes severos onde os MOSFETs convencionais tipicamente apresentam falhas. Essas propriedades são devido à isolamento entre o canal e o substrato do dispositivo, que contribuiu para a diminuição da área de contato de junção com o dreno/corpo e fonte/corpo que foi a principal

razão da diminuição da corrente de fuga. Outra grande vantagem dos SOI MOSFETs é que os circuitos são completamente isolados entre si, diminuindo a sensibilidade por efeitos da radiação.

Estas vantagens proporcionam excelentes desempenhos aos circuitos eletrônicos na tecnologia SOI MOSFET, fazendo com que estes possuam um amplo campo de aplicações onde os ambientes são severos com grandes interferências eletromagnéticas e altas temperaturas, tais como [17, 18, 19, 20, 21, 22, 23]:

- Em meios com: óleos, gases, injeção de vapor, energia geotérmica;

Em eletrônica embarcada:

- Automotiva: eletrônica de bordo, sensoriamento do motor para controle de emissão de poluentes e sistemas de freios ABS;
- Aviação: monitoração dos motores e controles de superfície;
- Satélites: sistemas computacionais e sistemas de sensoriamento.

As características elétricas dos semicondutores se modificam à medida que a temperatura de operação aumenta, pois ocorre o estreitamento da banda proibida do material. Este efeito dá origem a uma degradação da condutividade do dispositivo em temperaturas elevadas devido à geração de portadores livres [24].

A tecnologia SOI MOSFET permite um bom funcionamento do dispositivo até a temperatura de 873 K [17]. Porém, com a redução das dimensões dos transistores, manter esta marca está cada vez mais desafiador. Devido a isso, surgiu a motivação para pesquisar novas estruturas geométricas de dispositivos fabricados na tecnologia SOI. O interesse de estudar o dispositivo CG SOI nMOSFET é devido a sua estrutura apresentar uma melhor relação perímetro / área, e também por ser livre do efeito de canto, pois as interfaces dreno / canal e fonte / canal não possuem pontas, permitindo que as cargas sejam distribuídas de maneira uniforme pelas suas interfaces.

Estudos mostram que a tecnologia SOI MOSFET apresentam menores variações em função da temperatura de operação [7], porém essas variações nos parâmetros elétricos, que são indesejáveis, aumentam cada vez mais com a diminuição do comprimento de canal (L) o que pode acabar comprometendo a sua boa funcionalidade sob altas temperaturas, ou ainda, inviabilizando a sua utilização em ambientes severos com grandes variações abruptas de temperaturas, como por exemplo, em aplicações militares e espaciais.

## 2.4 Corrente de Fuga

A corrente de fuga é um efeito indesejável que ocorre nos transistores quando estes estão principalmente operando na região de corte. A corrente de fuga é um das principais causas de falhas em circuitos operando em altas temperaturas [25].

Pode-se notar neste item a forte dependência da corrente de fuga com a variação da temperatura. A equação literal de corrente de fuga para junção  $pn$  reversamente polarizada é dada pela equação (2.3) [25]:

$$I_{leakpn} = q \cdot A \frac{n_i \cdot W_d}{\tau_e} + q \cdot A \left( \frac{D_n}{\tau_n} \right)^{\frac{1}{2}} \cdot \frac{n_i^2}{N_A} \quad (2.3)$$

onde:

- $q$ : é a carga elementar do elétron;
- $A$ : é a área da junção ( $A = W \times t_{si}$ );
- $D_n$ : é o coeficiente de difusão do elétron;
- $\tau_n$ : é o tempo de vida do elétron em silício neutro tipo P;
- $n_i$ : é a concentração intrínseca dos portadores;
- $N_A$ : é a concentração da dopagem em material tipo P;
- $W_d$ : é a largura da região de depleção;
- $\tau_e$ : é o tempo de vida efetivo relacionado ao processo da geração térmica na região de depleção, igual à  $(\tau_n + \tau_p)/2$ ;
- $\tau_p$ : é o tempo de vida da lacuna em silício neutro tipo P.

Como pode-se ver, a equação (2.3) possui duas partes que se somam, onde a primeira corresponde à geração térmica na região de depleção e a segunda parte é correspondente à difusão da corrente na região neutra da junção.

Devido aos dispositivos da tecnologia SOI MOSFET possuírem menores áreas de junção PN ( $A$ ), haverá uma redução significativa da corrente de fuga das junções em relação aos transistores MOSFETs. Vale ressaltar também que, para a condição em que o dispositivo estiver totalmente depletado, não haverá a presença da região neutra na camada de silício e com isso, a corrente de fuga será dada apenas pelo primeiro termo da equação (2.3) o qual corresponde pela geração térmica na região de depleção [26].

A concentração intrínseca de portadores  $n_i$  é dada na equação (2.4) [26]. Note a sua dependência com a temperatura:

$$n_i = 3,9 \cdot 10^{16} \cdot T^{\frac{3}{2}} \cdot e^{-\left(\frac{E_g}{2 \cdot k \cdot T}\right)} \quad (2.4)$$

onde:

- T: é a temperatura (em Kelvin);
- $E_g$ : é a faixa proibida de energia (*band gap*);
- k: é a constante de Boltzmann.

Pode-se ver na equação (2.4) que a concentração intrínseca dos portadores é fortemente dependente da temperatura de operação do dispositivo, o termo dominante dessa dependência é onde a temperatura faz parte do exponencial da equação [27], e conforme apresentado na equação (2.3), o aumento da concentração intrínseca dos portadores implica no aumento da corrente de fuga.

### 3 APRESENTAÇÃO DOS DISPOSITIVOS

Neste capítulo serão apresentadas as características dos dispositivos em estudo, o SOI nMOSFET de porta retangular e o transistor de porta circular CG SOI nMOSFET.

#### 3.1 Descrição do SOI nMOSFETs de Porta Retangular

Para o desenvolvimento das simulações numéricas, foram utilizados transistores SOI nMOSFETs, cujas características e parâmetros são similares aos transistores fabricados na tecnologia SOI MOS, IMEC, Bélgica.

Neste trabalho é estudado o comportamento da corrente de fuga de dreno, em função da temperatura nas estruturas retangular e circular, para diferentes comprimentos de canal ( $L$ ): 0,5 , 0,7 , 0,9 , 1,0 , 2,0 e 5,0  $\mu\text{m}$ . Já as demais dimensões permanecem constantes conforme podemos ver na figura 3.1.

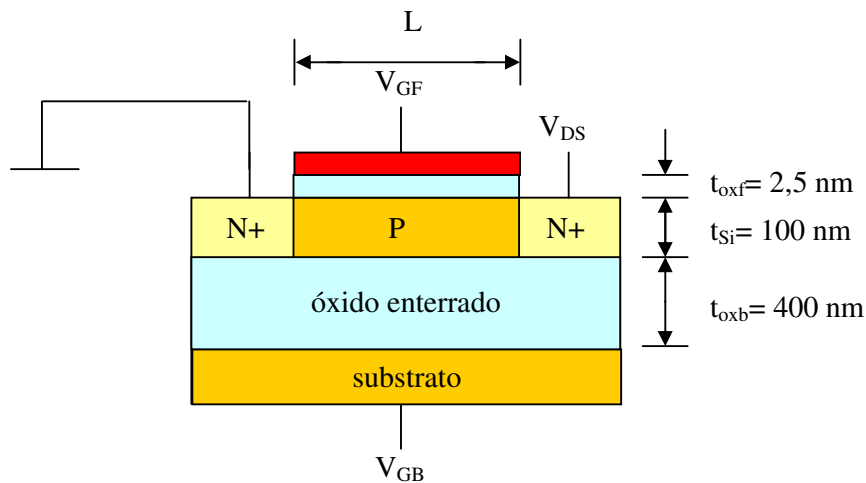


Figura 3.1 – Dimensões físicas da estrutura do SOI nMOSFET estudado.

onde:

- espessura do óxido de porta  $t_{\text{oxf}} = 2,5 \text{ nm}$ ;
- espessura do filme de silício  $t_{\text{Si}} = 100 \text{ nm}$ ;
- espessura do óxido enterrado  $t_{\text{oxb}} = 400 \text{ nm}$ ;
- concentração de impurezas aceitadoras  $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ ;
- concentração de impurezas doadoras  $N_D = 1 \times 10^{20} \text{ cm}^{-3}$ .

### 3.2 Descrição do SOI nMOSFET de Porta Circular

Os CG SOI nMOSFETs em estudo também foram simulados com características similares aos dispositivos de porta retangular. Na figura 3.2 estão apresentados alguns detalhes do transistor de porta circular avaliado ao longo deste trabalho.

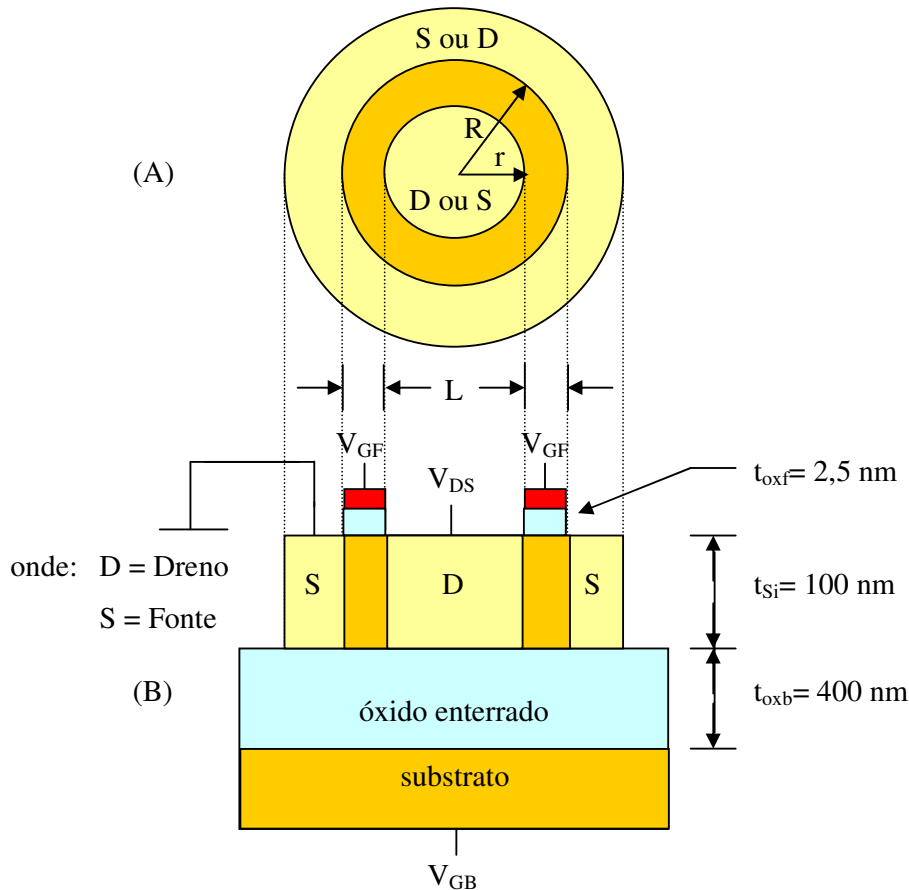


Figura 3.2 – Dimensões físicas da estrutura do CG SOI nMOSFET. (A) Vista Superior e (B) Vista em corte da seção transversal do dispositivo.

onde:

- R: é o raio externo do anel da porta;
- r: é o raio interno do anel da porta.

Devido à estrutura do CG SOI nMOSFET possuir uma geometria complexa, foi necessário construí-la através do uso da ferramenta denominada DEVEDIT3D [28], resultando portanto na realização de simulações tridimensionais.

Com a intenção de diminuir o tempo de simulações tridimensionais, foi construída apenas uma parcela de toda a estrutura do CG SOI nMOSFET, com um ângulo de  $10^\circ$  de abertura, conforme ilustrado na figura 3.3.

Foi determinado este ângulo, pois se a estrutura fosse construída com ângulos menores iria perder suas características geométricas (circular) e tenderia a se comportar como uma estrutura convencional (retangular), por outro lado, se a estrutura fosse construída com ângulos maiores, seria necessário um grande número de pontos na grade, o que certamente iria passar do limite máximo suportado pelo simulador de dispositivos ATLAS [29].

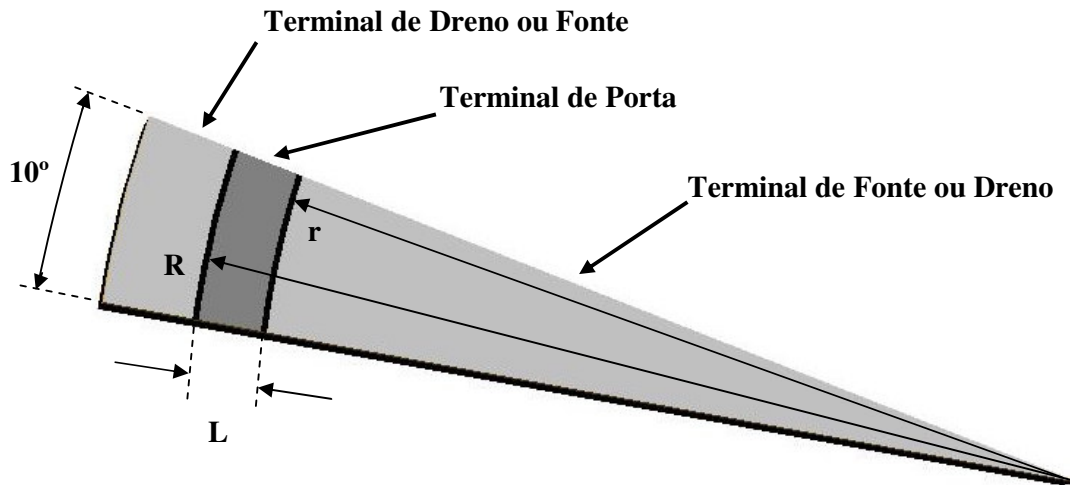


Figura 3.3 – Representação gráfica da estrutura do CG SOI nMOSFET simulado em 3D.

Um parâmetro muito importante a ser considerado nas simulações tridimensionais é a largura de canal ( $W$ ), pois antes de comparar a corrente de fuga de dreno do CG SOI nMOSFET (estrutura simulada em 3D) com o SOI nMOSFET de porta retangular (estrutura simulada em 2D) a corrente deve ser normalizada por  $W$ , pelo fato das simulações tridimensionais considerarem o valor  $W$  da estrutura, enquanto que as simulações bidimensionais consideram o valor de  $W$  sempre igual a  $1,0 \mu\text{m}$ .

Diante da necessidade de comparar as duas estruturas SOI nMOSFETs é preciso calcular o valor de  $W$  das estruturas CG SOI nMOSFET para utilizá-la na normalização da corrente. A seguir é mostrado, como exemplo, o cálculo de  $W$  para uma estrutura CG SOI nMOSFET [30] com  $L = 1 \mu\text{m}$ :

$$W_m = \left[ \frac{2 \cdot \pi}{\ln\left(\frac{R}{r}\right)} \right] \quad (3.1)$$



$$W_m = \left[ \frac{2.\pi}{\ln\left(\frac{R}{r}\right)} \right] = \left[ \frac{2.\pi}{\ln\left(\frac{16,5}{15,5}\right)} \right] = 100,48\mu m$$

Também é possível calcular o W por outra equação [31] para calcular o perímetro de uma circunferência, pois, analisando a estrutura CG SOI nMOSFET percebe-se que o valor médio de W é exatamente o valor médio do perímetro. Portanto, como o W é o perímetro do canal do dispositivo pode-se calculá-lo através da equação (3.2).

$$\rho_m = 2.\pi.r_m \therefore W_m = 2.\pi.r_m \quad (3.2)$$

onde:

- $r_m$ : é o raio médio do centro da estrutura ao meio de L;
- $\rho_m$ : é o perímetro médio da porta do CG SOI nMOSFET;
- $W_m$ : é a largura média de canal do CG SOI nMOSFET.

Sabe-se que o CG SOI nMOSFET de  $L = 1,0\mu m$  tem o  $W = 100,48\mu m$ , porém estrutura construída para as simulações tridimensionais possui apenas uma parcela de  $10^\circ$  de abertura de todo o dispositivo, logo, é necessário calcular o seu W normalizado ( $W_n$ ). O  $W_n$  pode ser encontrado através de uma regra de três conforme descrito abaixo:

$$\begin{aligned} 360^\circ &\rightarrow 2.\pi \\ 10^\circ &\rightarrow x \end{aligned} \quad (3.3)$$

$$x = \frac{20.\pi}{360} = \frac{2.\pi}{36}$$

$$W_n = x.r_m \quad (3.4)$$

$$r_m = \left( \frac{R+r}{2} \right) = \left( \frac{16,5+15,5}{2} \right) = 16\mu m \quad (3.5)$$

Substituindo as equações (3.3) e (3.5) na equação (3.4):

$$W_n = \left( \frac{2 \cdot \pi}{36} \right) \cdot 16 = 2,79 \mu m$$

O valor de W encontrado acima, deve ser utilizado para normalizar os resultados obtidos nas simulações do CG SOI nMOSFET com comprimento de canal de 1,0  $\mu m$ . Ou seja, a corrente de dreno simulada de cada dispositivo deve ser dividida pelo valor encontrado de seu respectivo W para haver a normalização da corrente de dreno e conseqüentemente, posta para as comparações com as estruturas de porta retangular.

Na tabela 3.1 são mostrados os valores de W calculados e utilizados para a normalização da corrente para os demais CG SOI nMOSFETs analisados ao longo deste trabalho.

Tabela 3.1 – Largura de canal normalizada ( $W_n$ ) para os CG SOI nMOSFET

L [ $\mu m$ ]	$W_n$ [ $\mu m$ ]
0,5	2,835
0,7	2,820
0,9	2,800
1,0	2,790
2,0	2,704
5,0	2,442

Uma vez que ao longo deste trabalho são apresentados e comparados resultados provenientes de simulações bidimensionais e tridimensionais para dispositivos SOI nMOSFET de porta retangular e circular, respectivamente, houve a necessidade de realizar a verificação e validação de ambas para certificar que os resultados obtidos fossem coerentes. Diante disto, foram construídos dois dispositivos SOI nMOSFET de porta retangular, um para a simulação bidimensional e o outro para a tridimensional, na seqüência, simulações foram realizadas para ambas as estruturas e após a normalização da corrente com o W, verificou-se que os resultados são muito similares na região de interesse deste estudo (região de fuga), conforme mostra a figura 3.4, indicando portanto que os modelos ajustados e empregados atendem as necessidades e conseqüentemente, permitem comparações entre as duas estruturas SOI nMOSFETs independentemente do tipo de simulação realizada (bidimensional ou tridimensional) desde que os modelos utilizados em cada simulação sejam iguais e que a corrente seja normalizada pelo seu respectivo W.

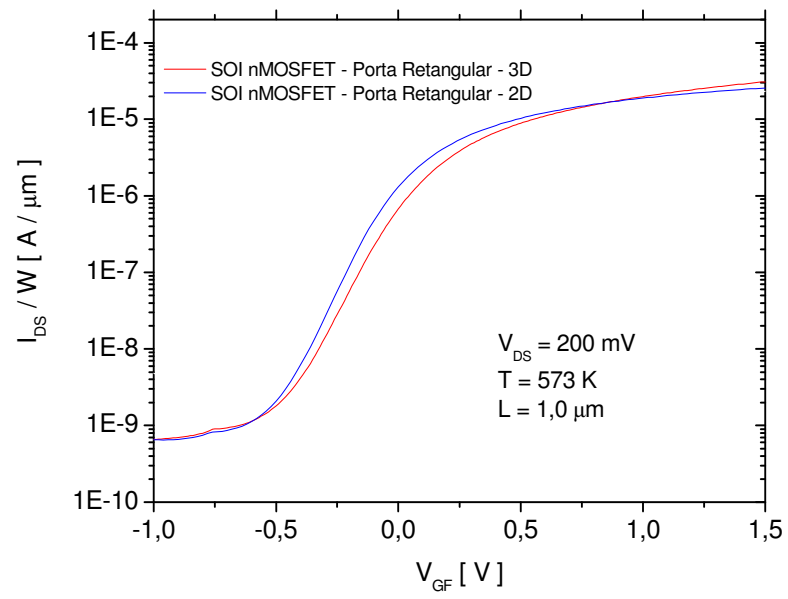


Figura 3.4 – Comparação da curva  $I_{DS}$  x  $V_{GF}$  do dispositivo SOI nMOSFET de porta retangular com  $L = 1,0 \mu m$  e  $T = 573 \text{ K}$  simulado em 2D e 3D.

## 4 RESULTADOS DAS SIMULAÇÕES

Neste capítulo é feita uma breve descrição do simulador utilizado para o desenvolvimento deste trabalho, assim como os modelos utilizados. Além disso, serão apresentados resultados dos transistores desenvolvidos referentes à influência do comprimento de canal, da temperatura no comportamento da corrente de fuga e de sua respectiva densidade de corrente ao longo da espessura do filme de silício e também, estudos referentes à influência do campo elétrico em função da configuração de dreno para o dispositivo de porta circular.

### 4.1 Simulações Numéricas e Resultados

Aqui são apresentados alguns detalhes e uma breve descrição do simulador numérico de dispositivos ATLAS [32], o qual é utilizado para o desenvolvimento deste trabalho. São descritos os modelos empregados, e posteriormente, serão apresentados os resultados obtidos ao longo do desenvolvimento desta investigação.

#### 4.1.1 Simulador ATLAS

O ATLAS trata-se de um simulador numérico que é destinado para a realização de simulações bidimensionais e tridimensionais de dispositivos e circuitos micro-eletrônicos, basea-se em equações físicas através das quais seja possível determinar as características elétricas em regime contínuo (DC), alternado (AC) ou transitório, associadas às estruturas físicas especificadas e condições de polarização do dispositivo. O dispositivo a ser simulado é discretizado em uma grade onde os pontos serão aplicados equações derivadas das leis de Maxwell [32].

As tensões a serem aplicadas nos eletrodos do dispositivo são definidas previamente, e o simulador calcula a corrente através da grade de pontos descrita no arquivo de simulação. Além disso, há a possibilidade de extrair parâmetros elétricos do dispositivo, como a densidade de corrente no canal, concentração de portadores, intensidade de campos elétricos, mobilidade dos portadores, entre outras informações, as quais são difíceis ou até mesmo impossíveis de serem medidas em laboratórios.

No arquivo de simulação bidimensional, primeiramente deve-se criar uma grade adequada ao dispositivo a ser simulado, depois definir as regiões da estrutura do dispositivo a ser estudado, definir os eletrodos do dispositivo, as dopagens das regiões semicondutoras, especificar as

propriedades das interfaces existentes no dispositivo, definição dos modelos físicos a serem utilizados, e finalmente, definir as condições de polarização para o levantamento das curvas características necessárias. No apêndice 1 deste trabalho é apresentado um exemplo de arquivo de simulação bidimensional do dispositivo SOI nMOSFET de porta retangular, com comprimento de canal de  $1,0\mu\text{m}$ .

Para o caso da simulação tridimensional, toda a definição da estrutura do dispositivo, o tipo de material de cada região e a especificação da grade, são geradas no *software* DEVEDIT3D. No arquivo de simulação tridimensional é dado um comando para importar a estrutura criada (*mesh infile*) e depois o procedimento passa a ser similar ao desenvolvido no arquivo de simulação bidimensional, ou seja, são definidas as dopagens, os modelos físicos, os métodos de resolução, as propriedades das interfaces existentes, condições de polarização e finalmente as características para o levantamento da curva característica desejada. No apêndice 2 está apresentado um arquivo de simulação tridimensional do CG SOI nMOSFET, para um comprimento de canal de  $1,0\mu\text{m}$ .

No próximo item serão descritas as características de cada um dos modelos utilizados ao longo das simulações realizadas.

#### 4.1.2 Modelos Utilizados para as Simulações

Conforme descrito anteriormente, é preciso definir uma série de modelos físicos que variam dependendo de cada estudo a ser realizado. São mecanismos físicos para modelar a mobilidade dos portadores, recombinação de portadores, ionização por impacto, temperatura de operação do dispositivo ou mesmo efeitos de tunelamento. Abaixo são apresentados os modelos utilizados em nossas simulações com suas respectivas características [32].

- KLA (*Klaassen model*): modelo de mobilidade que inclui dependência com a concentração de portadores, concentração intrínseca de portadores e temperatura absoluta. Aplica diferentes mobilidades para portadores majoritários e minoritários;
- BGN (*Bandgap Narrowing*): importante em regiões altamente dopadas, este modelo que diz respeito ao estreitamento da faixa proibida. Deve ser utilizado junto com o modelo KLA;
- AUGER: modelo de recombinação através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante para altas densidades de corrente;
- SELB (*Selberherr*): é definido juntamente com o comando IMPACT, este modelo de ionização por impacto depende do campo elétrico horizontal em um ponto

específico da estrutura, e é recomendado para a maioria dos casos. Inclui parâmetros que dependem da temperatura;

- SHIRAHATA (SHI): Um modelo de superfície alternativo da mobilidade que possa ser combinado com o KLA;
- QTUNN: Modelo de tunelamento quântico, QTUNN.EL para elétrons, QTUNN.HO para lacunas;
- HHI E HEI: Modela os portadores quentes (elétrons e lacunas) que passam através do óxido de silício da porta do dispositivo;
- BBT.KL: Específica um modelo de tunelamento de banda a banda de acordo com o modelo de Klaassen.

## 4.2 Obtenção das Curvas da Corrente de Dreno ( $I_{DS}$ ) em função da Tensão de Porta ( $V_{GF}$ )

Foram criados arquivos de simulações ATLAS para extrair as características elétricas dos dois dispositivos, o SOI nMOSFET de porta retangular e o CG SOI nMOSFET. Esses arquivos foram configurados para a obtenção das curvas de corrente de dreno  $I_{DS}$  versus a tensão de porta  $V_{GF}$ , com  $V_{GF}$  variando entre  $-1,5$  V a  $+1,5$  V e com a tensão aplicada ao dreno  $V_{DS}$  de 200 mV. Estas curvas foram obtidas desde a temperatura ambiente até 573 K, com passo de 50 K.

No caso do CG SOI nMOSFET, foram realizadas simulações das curvas  $I_{DS} \times V_{GF}$  para o dreno configurado na parte interna (DI) e externa (DE) da estrutura, por não ser uma estrutura simétrica.

A figura 4.1 mostra a curva da corrente de dreno normalizada com  $W$  em função da tensão aplicada à porta do dispositivo  $I_{DS}/W \times V_{GF}$  do CG SOI nMOSFET configurado como dreno externo (DE), polarizado com tensão de dreno  $V_{DS} = 200$  mV para temperaturas variando entre 300 K e 573 K.

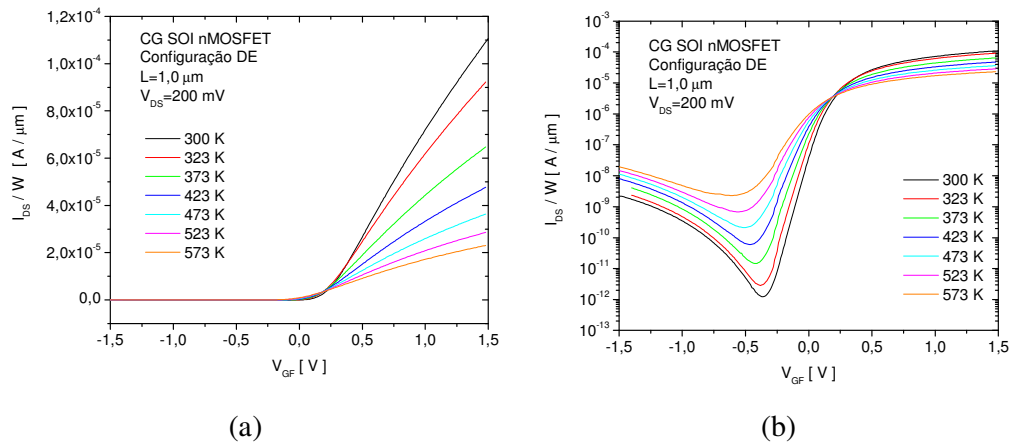


Figura 4.1 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com dreno externo (DE) (a) escalar linear e (b) escala monologarítmica.

Para que seja possível o estudo do comportamento da corrente de fuga desses dispositivos, serão apresentadas as curvas  $I_{DS}/W \times V_{GF}$  sempre na escala monologarítmica, facilitando a análise da região de interesse (fuga) dos dispositivos em estudo.

A figura 4.2 mostra a curva  $I_{DS}/W \times V_{GF}$  do CG SOI nMOSFET configurado com dreno interno (DI), polarizado com tensão de dreno  $V_{DS} = 200$  mV, para temperaturas entre 300 K e 573 K.

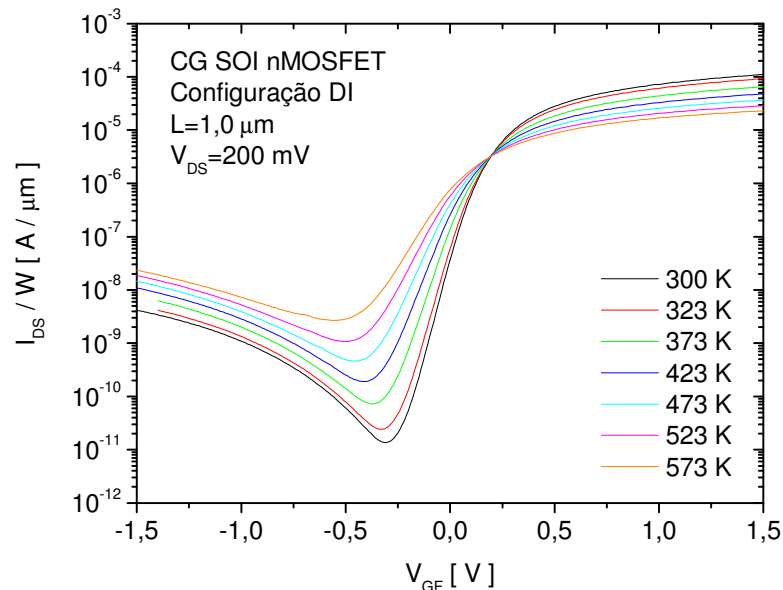


Figura 4.2 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com dreno interno.

A figura 4.3 mostra a curva  $I_{DS}/W \times V_{GF}$  do SOI nMOSFET de porta retangular, polarizado com tensão de dreno  $V_{DS} = 200$  mV, para temperaturas entre 300 K e 573 K.

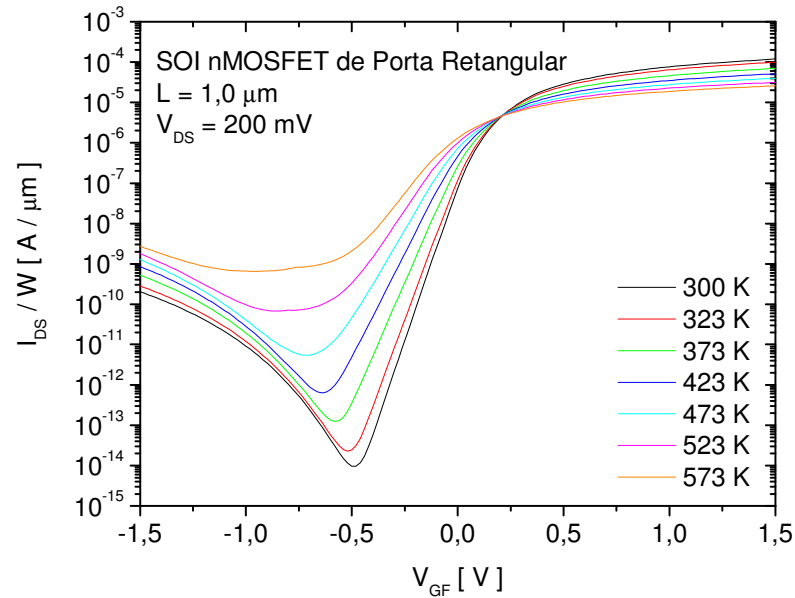


Figura 4.3 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do SOI nMOSFET de porta retangular.

Através das figuras 4.1, 4.2 e 4.3 pode-se verificar que a corrente de fuga do dreno aumenta quando a temperatura de operação do dispositivo é incrementada. Resultados similares foram obtidos com comprimentos de canais diferentes, tanto para o SOI nMOSFET de porta retangular quanto para o CG SOI nMOSFET em suas duas configurações. Este comportamento já era esperado, conforme visto no item 2.4, através das equações 2.3 e 2.4, onde é possível observar a dependência direta entre a corrente de fuga e a temperatura, ou seja, com o aumento da temperatura implica uma maior corrente de fuga de dreno, que para esse estudo é admitido que a corrente de fuga será analisada para  $V_{GF} < 0 \text{ V}$ , conforme será descrito mais adiante.

Agora será verificado o comportamento da corrente de fuga de dreno em função do comprimento de canal ( $L$ ). A figura 4.4 mostra uma curva comparativa de  $I_{DS}/W \times V_{GF}$  do CG SOI nMOSFET configurado com o dreno externo (DE) operando com  $T = 573 \text{ K}$  para diferentes comprimentos de canais ( $L$ ), polarizado com tensão de dreno  $V_{DS} = 200 \text{ mV}$ .



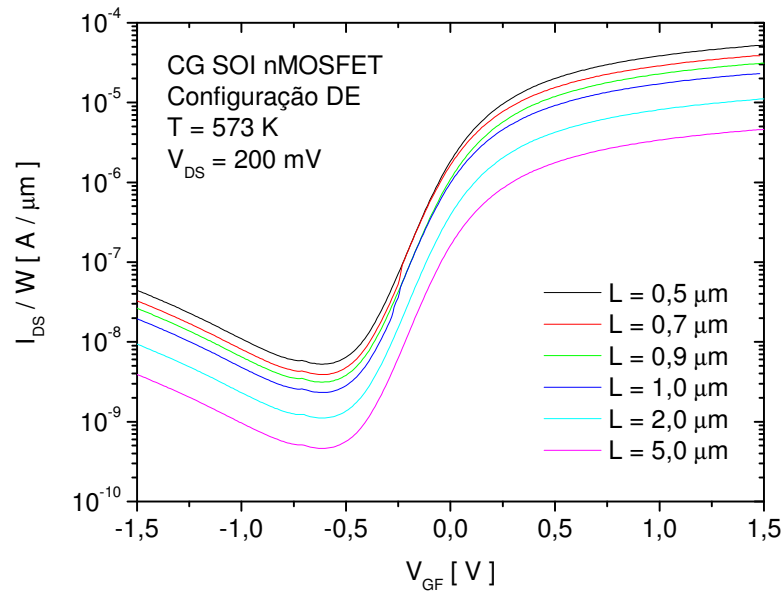


Figura 4.4 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com DE para diferentes L, operando com T = 573 K.

A figura 4.5 mostra uma curva comparativa de  $I_{DS}/W \times V_{GF}$  desta vez com o CG SOI nMOSFET configurado com o dreno interno (DI) operando com T = 573 K para diferentes comprimentos de canais (L), polarizado com  $V_{DS} = 200$  mV.

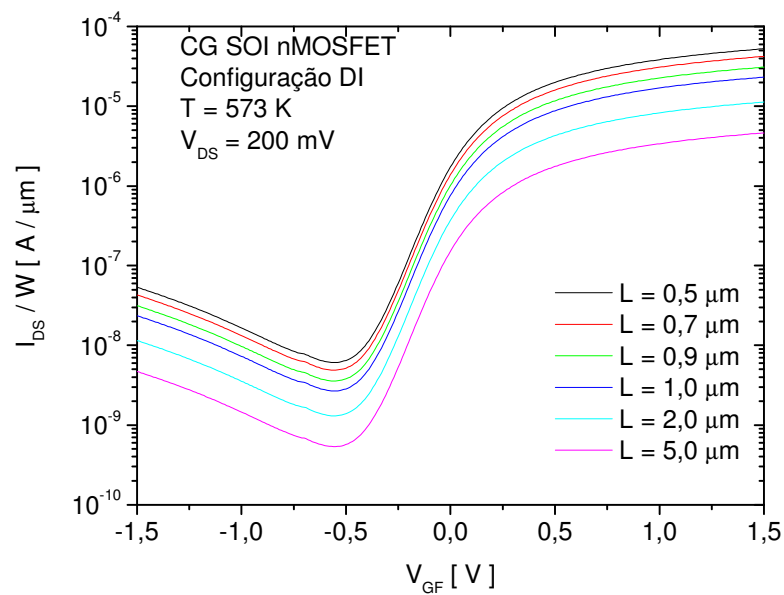


Figura 4.5 – Curva da corrente de dreno ( $I_{DS}$ ) em função da tensão aplicada à porta ( $V_{GF}$ ) extraída do CG SOI nMOSFET com DI para diferentes L, operando com T = 573 K.

Analisando os resultados apresentados nas figuras 4.4 e 4.5, nota-se que para comprimento de canais menores, a corrente de fuga de dreno tende a sofrer um aumento. Resultados similares foram obtidos com os dispositivos operando em temperaturas menores. Aqui cabe ressaltar que para o SOI nMOSFET de porta retangular resultados similares foram observados.

Uma vez que a dependência da corrente de fuga de dreno com a temperatura de operação e com o comprimento de canal foi observado, agora será comparado seu comportamento em ambos os dispositivos sob a mesma temperatura e comprimento de canal.

A figura 4.6 mostra uma curva comparativa de  $I_{DS}/W \times V_{GF}$  entre os dois dispositivos em estudo, o SOI nMOSFET de porta retangular e o SOI nMOSFET configurado com o dreno externo (DE) e interno (DI), operando com  $T = 573$  K.

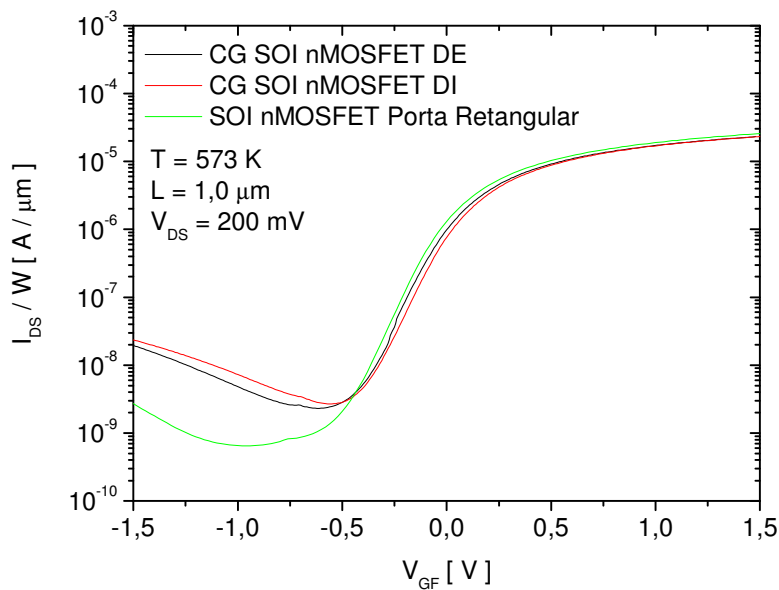


Figura 4.6 – Curva comparativa de  $I_{DS}/W \times V_{GF}$  dos dispositivos com  $L=1,0 \mu\text{m}$  e  $V_{DS} = 200$  mV, operando a 573 K.

Nas figuras 4.7 e 4.8 são apresentadas comparações similares para os dispositivos operando respectivamente a 473 K e 373 K.

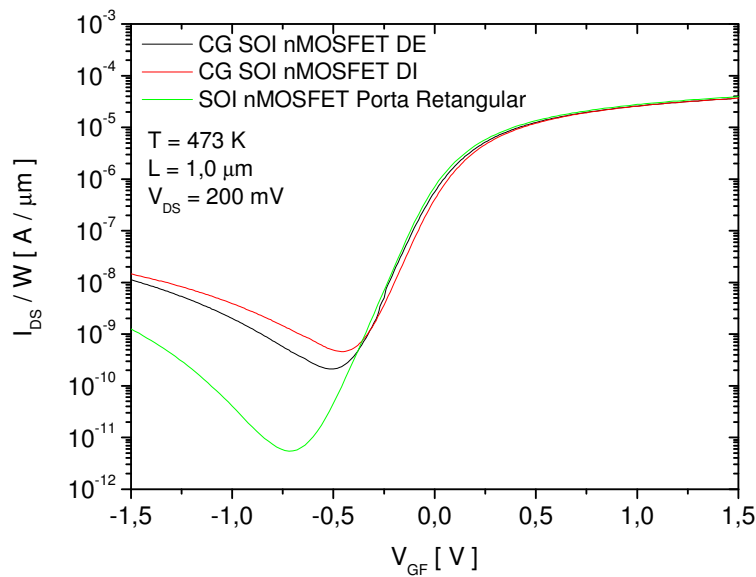


Figura 4.7 – Curva comparativa de  $I_{DS}/W$  x  $V_{GF}$  dos dispositivos com  $L=1,0$   $\mu\text{m}$  e  $V_{DS} = 200$  mV, operando a 473 K.

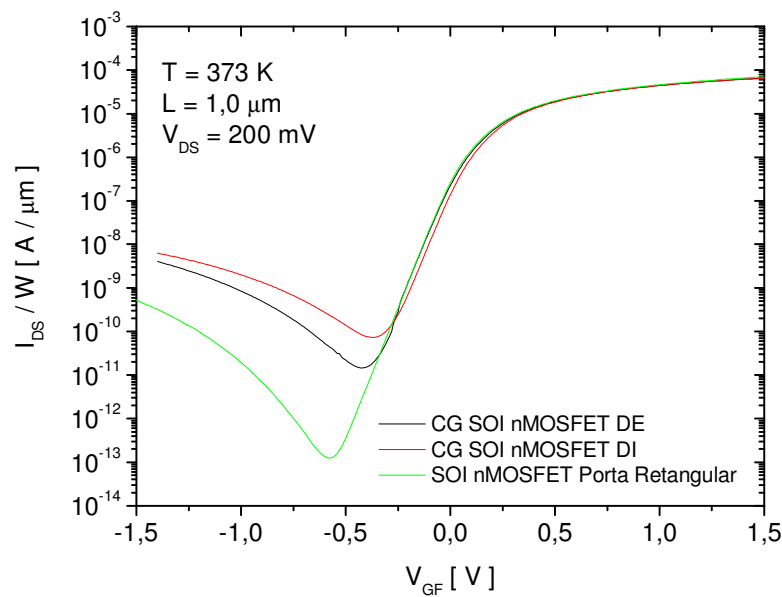


Figura 4.8 – Curva comparativa de  $I_{DS}/W$  x  $V_{GF}$  dos dispositivos com  $L=1,0$   $\mu\text{m}$  e  $V_{DS} = 200$  mV, operando a 373 K.

Comparando os gráficos apresentados nas figuras 4.6, 4.7 e 4.8, observa-se que os dispositivos seguiram as mesmas tendências. Verifica-se que para a mesma condição de polarização, mesmo comprimento de canal e mesma temperatura de operação, o dispositivo SOI nMOSFET de porta retangular apresentou menores valores para corrente de fuga, enquanto que o CG SOI nMOSFET configurado com dreno interno (DI) apresentou maiores valores de corrente de fuga, e com níveis intermediários a estes, o dispositivo CG SOI nMOSFET configurado com dreno

externo (DE). Este mesmo comportamento também foi observado para os transistores com diferentes comprimentos de canais.

### **4.3 Impacto nos dispositivos SOI MOSFETs Operando em Altas Temperaturas**

Neste item são apresentados os parâmetros de corrente de fuga do dreno, densidade de corrente de fuga do dreno, e intensidade de campo elétrico presente nas imediações do dreno dos dispositivos SOI MOSFETs, os quais foram objetos de estudos ao longo do desenvolvimento deste trabalho.

#### **4.3.1 Corrente de Fuga**

Sabe-se que a corrente de fuga é um fenômeno indesejável que surge nos transistores principalmente quando estão submetidos a altas temperaturas, e que este efeito tende a aumentar conforme o comprimento de canal diminui [25].

Todo o desenvolvimento deste trabalho teve início a partir da extração da corrente de fuga do dreno ( $I_{Fuga}$ ) através da curva característica da corrente de dreno ( $I_{DS}$ ) versus a tensão aplicada na porta ( $V_{GF}$ ). Para a extração de  $I_{Fuga}$ , o transistor deve ser polarizado com  $V_{GF} < 0$  e estar polarizado com um baixo valor de  $V_{DS}$ . Após este procedimento, é medida a  $I_{Fuga}$  do dispositivo em análise. Então, analisando a curva  $I_{DS} \times V_{GF}$  foi verificado que para  $V_{GF} = -1,0$  V, o comportamento da corrente de fuga é similar para todas as temperaturas e comprimentos de canal em estudo.

Para a escolha da tensão aplicada ao dreno ( $V_{DS}$ ), em estudos iniciais foram levantadas diversas curvas  $I_{DS} \times V_{GF}$  com tensões de 50, 100 e 200 mV aplicado ao terminal de dreno, e observou-se que para  $V_{DS}$  com 50 mV e 100 mV, a corrente de dreno apresentou muitos ruídos na região de fuga (para  $V_{GF}$  menores que 0 V), principalmente quando a temperatura de operação dos dispositivos eram menores que 373 K, deste modo, impossibilitando a análise da corrente de fuga nestas condições de polarização, já para as curvas  $I_{DS} \times V_{GF}$  com  $V_{DS} = 200$  mV os ruídos na região de fuga foram eliminados, sendo possível realizar as análises do comportamento da corrente de fuga adequadamente. Logo, foi escolhido 200 mV.

Portanto, para extrair a corrente de fuga do dreno deste estudo, foram adotadas as seguintes condições de polarização:  $V_{GF} = -1,0$  V e  $V_{DS} = 200$  mV.

Este procedimento para a extração de  $I_{\text{Fuga}}$  foi aplicado igualmente em ambas as estruturas.

A figura 4.9 mostra um exemplo de extração de  $I_{\text{Fuga}}$  para o dispositivo CG SOI nMOSFET configurado com dreno externo (DE), com  $L = 1,0 \mu\text{m}$  operando a 473 K.

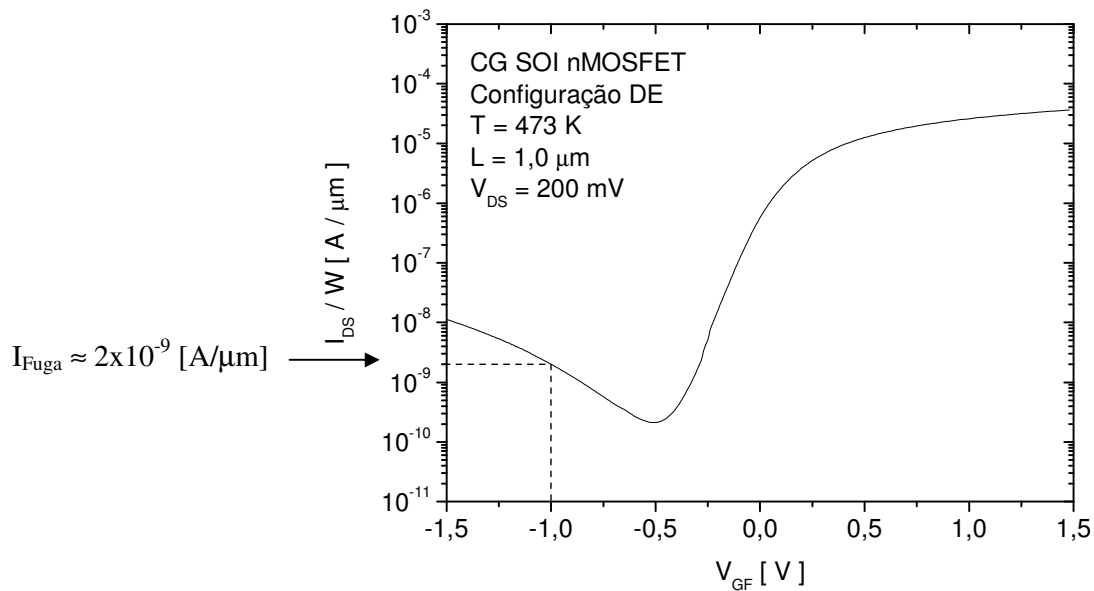


Figura 4.9 – Extração do valor da corrente de fuga a partir da curva  $I_{\text{DS}}/W \times V_{\text{GF}}$ .

Através das condições de polarizações estabelecidas juntamente com a variação da temperatura de operação, foi levantado o gráfico que relata o comportamento de  $I_{\text{Fuga}}$  em função da temperatura de operação, conforme ilustrado na figura 4.10. Estes dados referem-se ao dispositivo CG SOI nMOSFET configurado com o DE e com  $L = 1,0 \mu\text{m}$ .

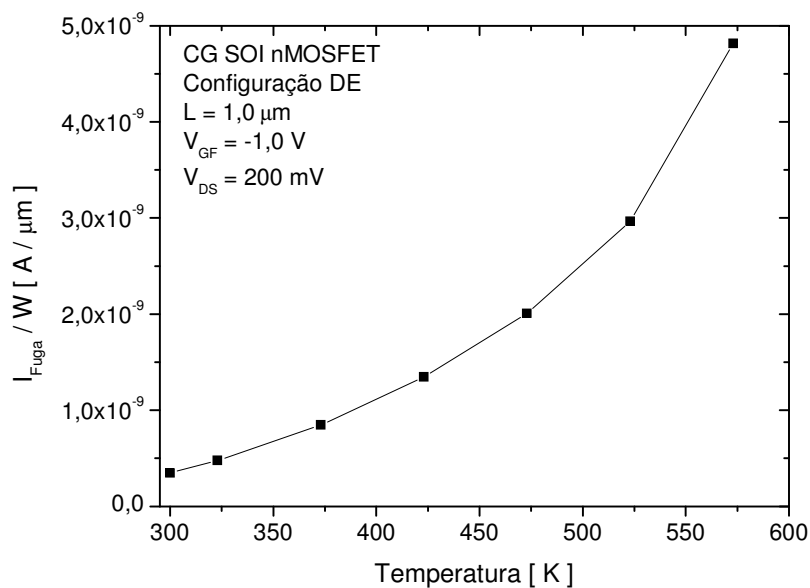


Figura 4.10 – Evolução da corrente de fuga em função da temperatura.

Resultados similares foram observados para as demais estruturas e com diferentes comprimentos de canais.

Na figura 4.11 observa-se a evolução da corrente de fuga em função da temperatura de operação para o CG SOI nMOSFET configurado como DE, para diferentes  $L$ .

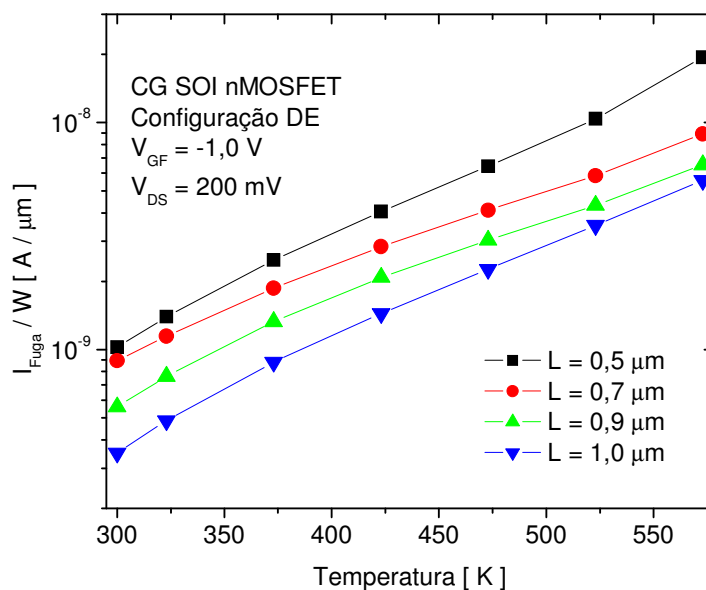


Figura 4.11 – Evolução da corrente de fuga nos dispositivos CG SOI nMOSFETs configurados como DE em função da temperatura.

Nas figuras 4.12 e 4.13 é possível observar que para o CG SOI nMOSFET e para o SOI nMOSFET de porta retangular as características são similares no comportamento de  $I_{Fuga}$  em função da temperatura com  $L = 1,0$   $\mu\text{m}$  e  $L = 0,5$   $\mu\text{m}$ , respectivamente.

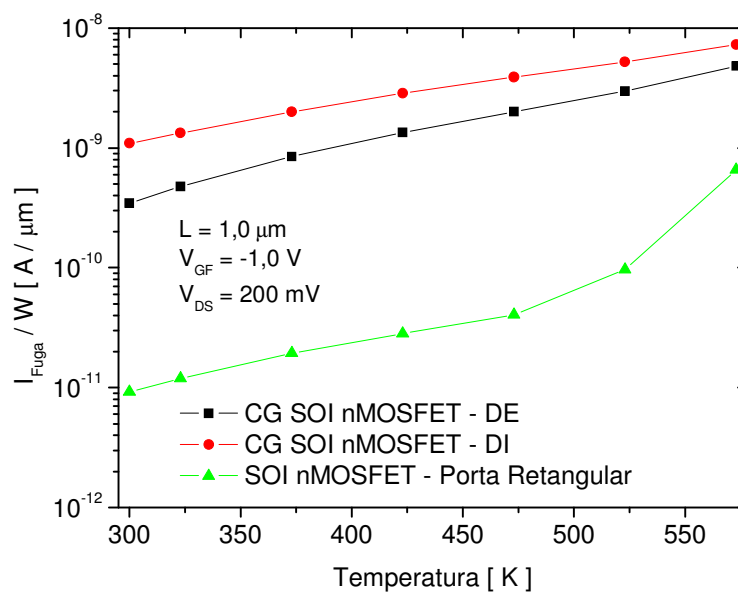


Figura 4.12 – Evolução da corrente de fuga em função da temperatura para as duas estruturas com  $L = 1,0$   $\mu\text{m}$ .

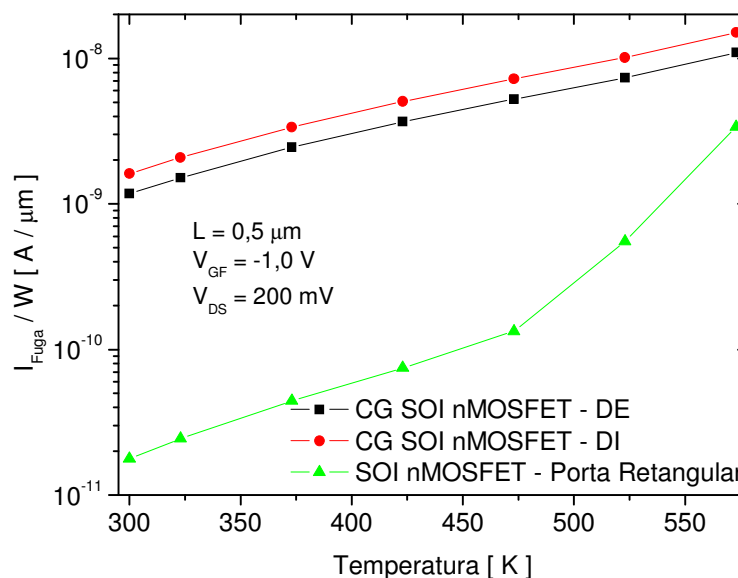


Figura 4.13 – Evolução da corrente de fuga em função da temperatura para as duas estruturas com  $L = 0,5 \mu\text{m}$ .

Dos resultados obtidos até este ponto, nota-se que independentemente do tipo de dispositivo sob avaliação, verifica-se que na medida em que a temperatura de operação aumenta, há um aumento significativo na intensidade da corrente de fuga, independente do comprimento de canal.

A evolução do aumento da corrente de fuga em função da temperatura pode ser explicada através das equações 2.3 e 2.4 apresentadas no item 2.4.

Para entender a evolução da corrente de fuga em função do comprimento de canal e da temperatura, estudos foram realizados conforme será descrito a seguir.

#### 4.3.1.1 Influência do Comprimento de Canal no Comportamento da Corrente de Fuga

Analisando o comportamento da corrente de fuga em função da temperatura, nota-se um aumento de  $I_{Fuga}$  na medida em que a temperatura de operação do dispositivo também aumenta. Ainda é possível observar que na medida em que o comprimento de canal reduz, a  $I_{Fuga}$  aumenta, mesmo quando os dispositivos são submetidos às mesmas condições de operação, conforme está apresentado na figura 4.14, para um dispositivo de porta circular polarizado na configuração de DE.

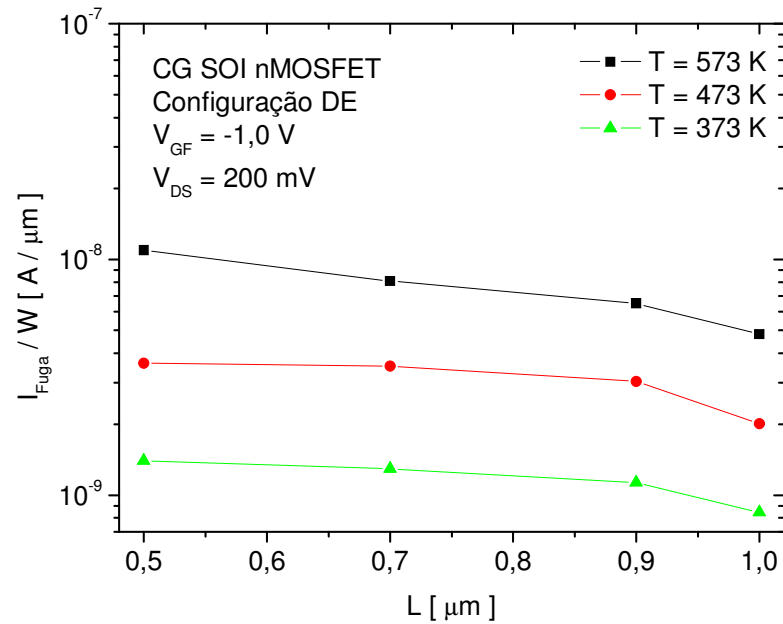


Figura 4.14 – Evolução da corrente de fuga no dispositivo CG SOI nMOSFET com DE em função do comprimento de canal.

Dos resultados apresentados na figura 4.14 observa-se que a corrente de fuga é maior para comprimentos de canais menores, ou seja, a corrente de fuga é inversamente proporcional ao comprimento de canal para uma dada temperatura.

A Figura 4.15 compara o comportamento de  $I_{Fuga}$  em função de L para a estrutura CG SOI nMOSFET configurada com DE e DI, operando em altas temperaturas.

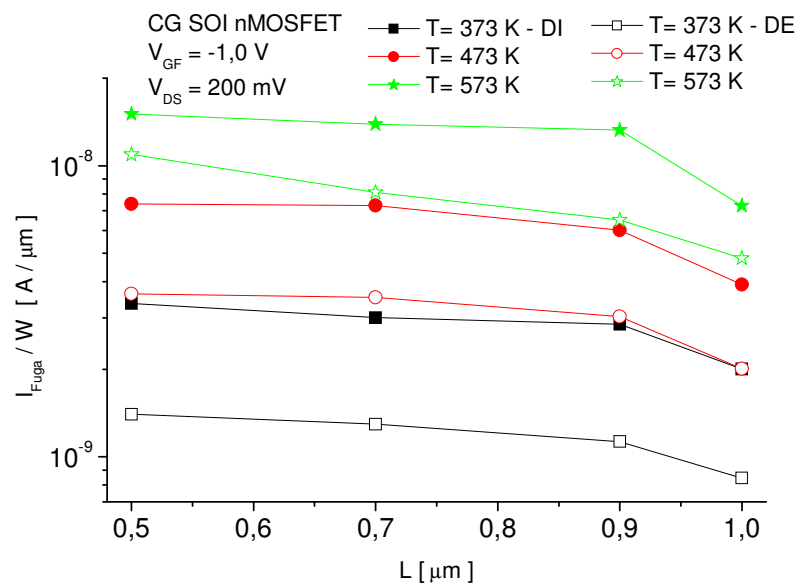


Figura 4.15 – Evolução da corrente de fuga em função do comprimento de canal entre as configurações de dreno externo e interno da estrutura CG SOI nMOSFET.



A Figura 4.16 mostra o comportamento de  $I_{\text{Fuga}}$  em função de  $L$  para a estrutura SOI nMOSFET de porta retangular operando em altas temperaturas.

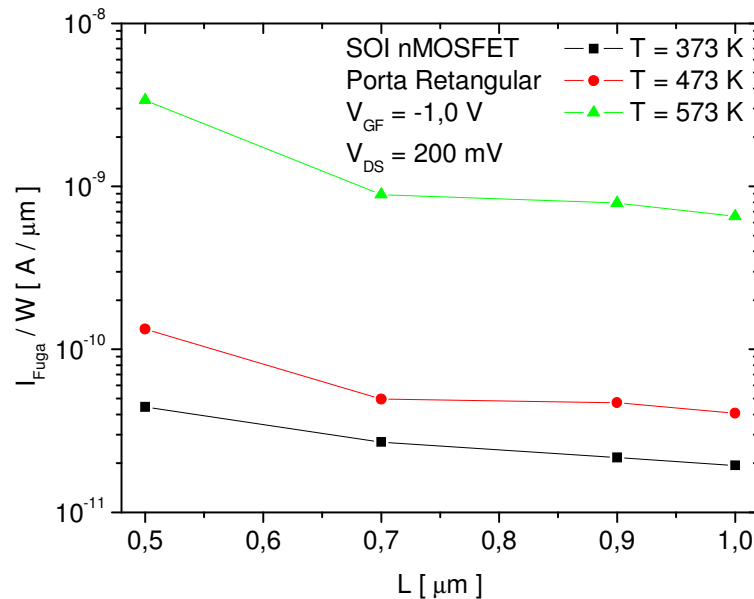


Figura 4.16 – Evolução da corrente de fuga em função do comprimento de canal para o dispositivo SOI nMOSFET de porta retangular.

Comparando-se a  $I_{\text{Fuga}}$  em função de  $L$  através dos resultados apresentados até o momento, verifica-se que o dispositivo CG SOI nMOSFET configurado com DI apresentou  $I_{\text{Fuga}}$  maior do que a configuração DE. Já a estrutura SOI nMOSFET de porta retangular apresentou os menores valores de  $I_{\text{Fuga}}$  quando submetidos às mesmas condições de operação.

Após a investigação do comportamento de  $I_{\text{Fuga}}$  em função da temperatura, para as duas estruturas em estudo, o passo seguinte para a busca das explicações destes fenômenos observados é o estudo da densidade de corrente em função do tipo da estrutura, comprimento de canal e da temperatura, onde foram investigadas a composição da corrente de fuga de dreno, conforme será descrito a seguir.

### 4.3.2 Densidade da Corrente de Fuga

O objetivo de analisar a densidade de corrente de fuga ( $J_{\text{TFuga}}$ ) é de estudar a composição através da avaliação quantitativa e qualitativa dos elétrons e lacunas distribuídos ao longo do filme de silício bem como o comportamento de  $I_{\text{Fuga}}$  ao longo da espessura do filme de silício ( $t_{\text{Si}}$ ).

A densidade de corrente de fuga ( $J_{\text{TFuga}}$ ) foi analisada exatamente na posição mediana do comprimento de canal ( $L/2$ ) ao longo de sua espessura, ou seja, desde a interface óxido de porta /

filme de silício até a interface de filme de silício / óxido enterrado, conforme está ilustrado na figura 4.17.

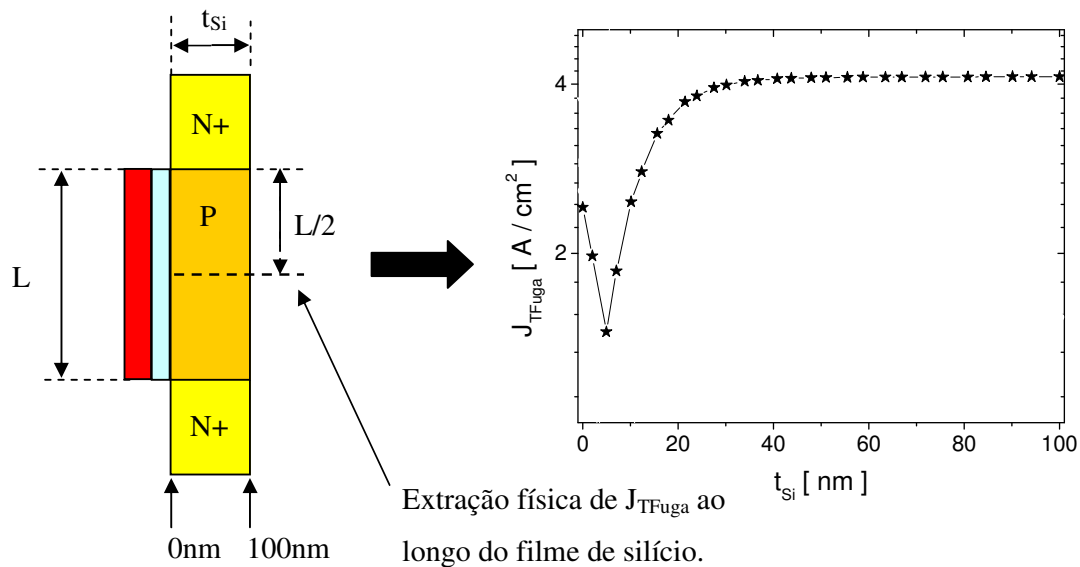


Figura 4.17 – Ilustração da região onde são extraídos os valores da densidade de corrente dos dispositivos SOI MOSFETs.

Para o estudo da composição de  $I_{Fuga}$  ao longo da espessura do filme de silício, foi realizada uma série de simulações, onde a densidade de corrente é analisada na posição central do canal, isto é, com  $L/2$ . Isto é necessário para garantir a menor influência das regiões de fonte e dreno na distribuição da corrente ao longo da espessura do filme de silício. É importante mencionar que este procedimento é válido para todos os dispositivos estudados ao longo deste trabalho.

A figura 4.18 mostra o comportamento da  $J_{TFuga}$  do CG SOI nMOSFET com DE e  $L = 0,5 \mu\text{m}$ , operando à 573 K. É possível observar que a corrente de fuga total é composta principalmente por lacunas na região próxima da interface óxido de porta / filme de silício e por elétrons ao longo do corpo do filme de silício, indicando portanto que a corrente total é composta principalmente por elétrons.

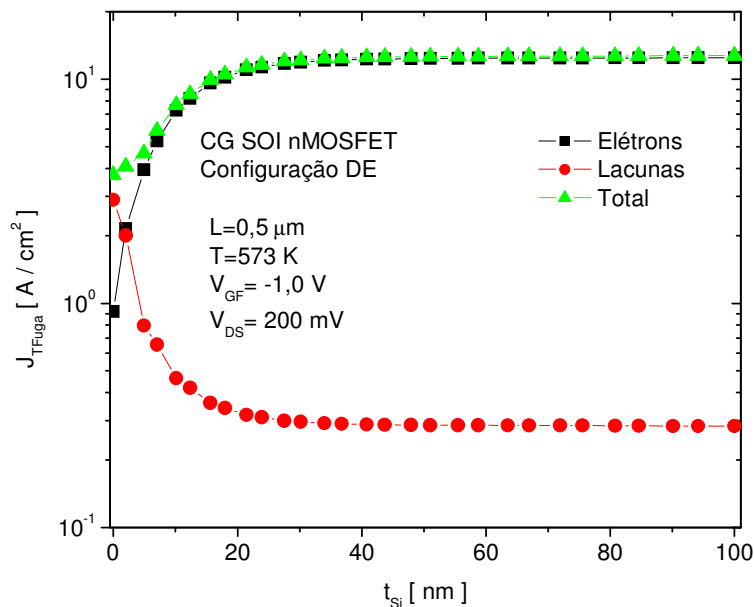


Figura 4.18 – Composição da densidade de corrente de fuga em função da profundidade do filme de silício para um CG SOI nMOSFET configurado como DE com  $L = 0,5 \mu\text{m}$  operando à 573 K.

A figura 4.19 mostra a distribuição da densidade de corrente ao longo da espessura do filme de silício do CG SOI nMOSFET com configuração DE e  $L = 1,0 \mu\text{m}$ , operando à 573 K.

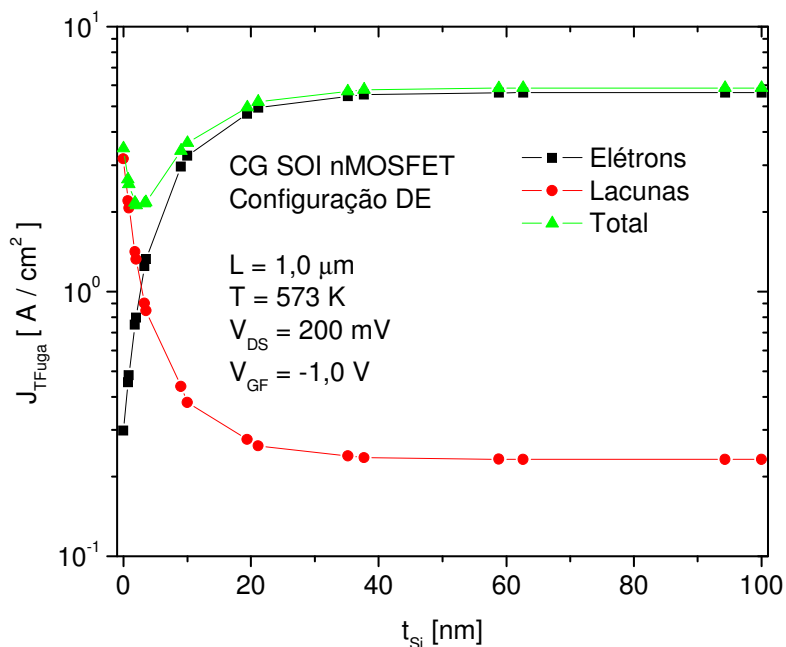


Figura 4.19 – Composição da densidade de corrente de fuga em função da profundidade do filme de silício para um CG SOI nMOSFET configurado como DE com  $L = 1,0 \mu\text{m}$  operando à 573 K.

Analisando os resultados presentes nas figuras 4.18 e 4.19, é possível observar que para  $L$  maiores a densidade de corrente de fuga próxima da interface óxido de porta / filme de silício torna-se mais significativa, quando comparada com a densidade de corrente total, explicando porque a densidade de corrente no corpo diminui. Porém, é importante mencionar que a corrente de fuga é composta principalmente por elétrons, mas sua intensidade diminui conforme  $L$  aumenta [33]. Este comportamento foi observado também no CG SOI nMOSFET configurado como DI e no SOI nMOSFET de porta retangular.

As figuras 4.20, 4.21 e 4.22 comparam a  $J_{TFuga}$  para comprimentos de canal de  $0,5 \mu\text{m}$  e  $1,0 \mu\text{m}$  do CG SOI nMOSFET configurado como DE, como DI, e do SOI nMOSFET de porta retangular, respectivamente.

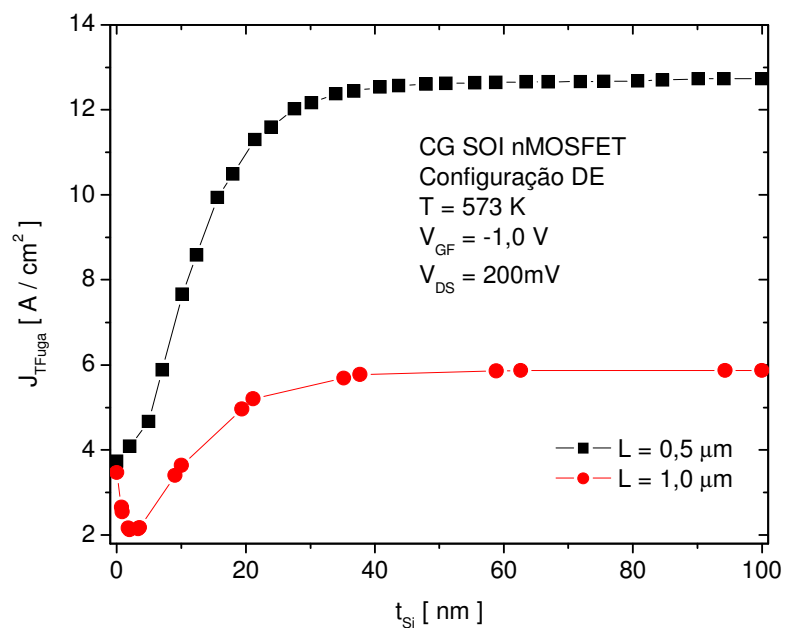


Figura 4.20 – Comparação do comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício para diferentes comprimentos de canal do CG SOI nMOSFET configurado como DE.

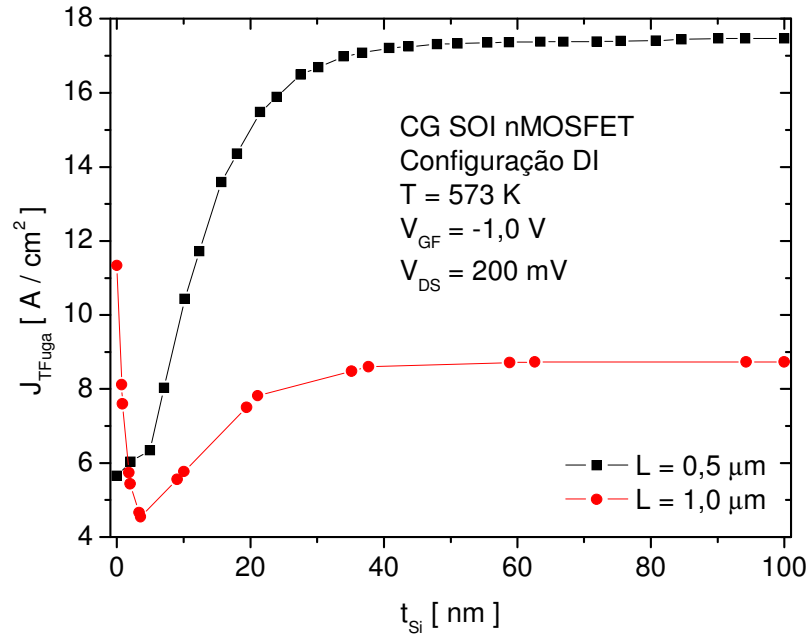


Figura 4.21 – Comparação do comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício para diferentes comprimentos de canal do CG SOI nMOSFET configurado como DI.

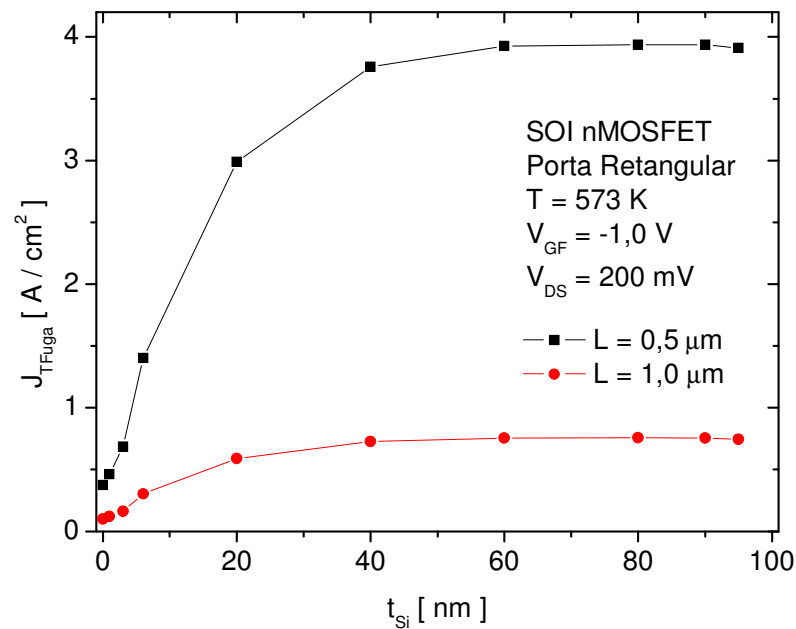


Figura 4.22 – Comparação do comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício para diferentes comprimentos de canal do SOI nMOSFET de porta retangular.

Conforme resultados apresentados acima é possível observar na medida em que  $L$  reduz, a  $J_{TFuga}$  aumenta, devido à composição dos elétrons aumentarem no corpo do dispositivo, justificando o porque a  $I_{Fuga}$  aumenta conforme o comprimento de canal reduz, quando os dispositivos em estudos são submetidos às altas temperaturas [33]. Comportamentos similares

foram observados para temperaturas inferiores, com a densidade de corrente diminuindo concomitantemente.

Através da figura 4.23 é possível entender melhor o que ocorre com a densidade total da corrente de fuga quando o L é reduzido.

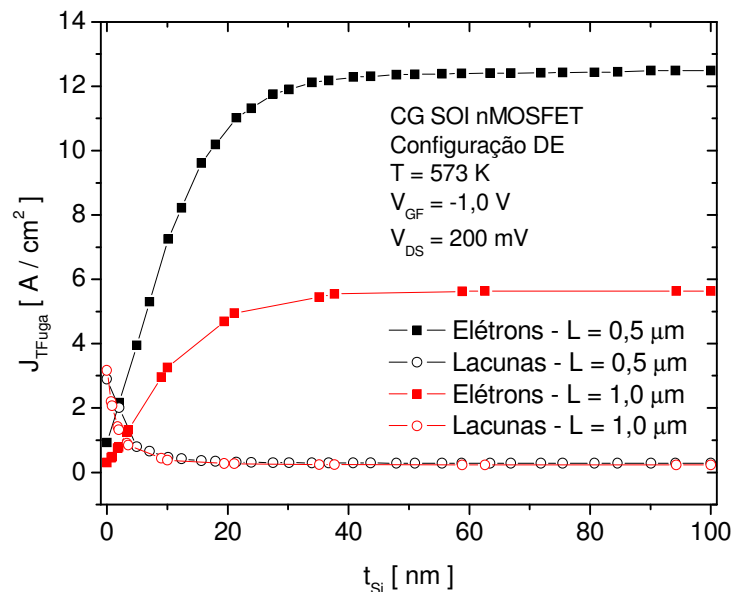


Figura 4.23 – Comparação da densidade de corrente de fuga por elétrons e por lacunas em função da profundidade do filme de silício para diferentes comprimentos de canal do CG SOI nMOSFET configurado como DE.

A figura 4.23 apresenta a densidade de corrente de fuga por elétrons e por lacunas do dispositivo CG SOI nMOSFET com L = 0,5 e 1,0 μm, onde é possível verificar facilmente que o principal responsável pelo aumento da densidade total da corrente de fuga são os elétrons, pois variando-se o comprimento de canal do dispositivo, a densidade de corrente por lacunas permaneceram constantes, enquanto que a densidade de corrente por elétrons sofreram um aumento significativo com a redução de L.

A figura 4.24 compara a densidade de corrente de fuga total para L = 0,5 μm com a temperatura variando entre 300 K e 573 K para o CG SOI nMOSFET configurado como DE. É possível verificar que a  $J_{TFuga}$  aumenta quando a temperatura é incrementada. Também foi observado que os elétrons são os componentes principais que provocam o aumento da densidade total da corrente de fuga, ou seja, a composição é majoritariamente constituída por elétrons e a sua intensidade aumenta juntamente com o incremento da temperatura.

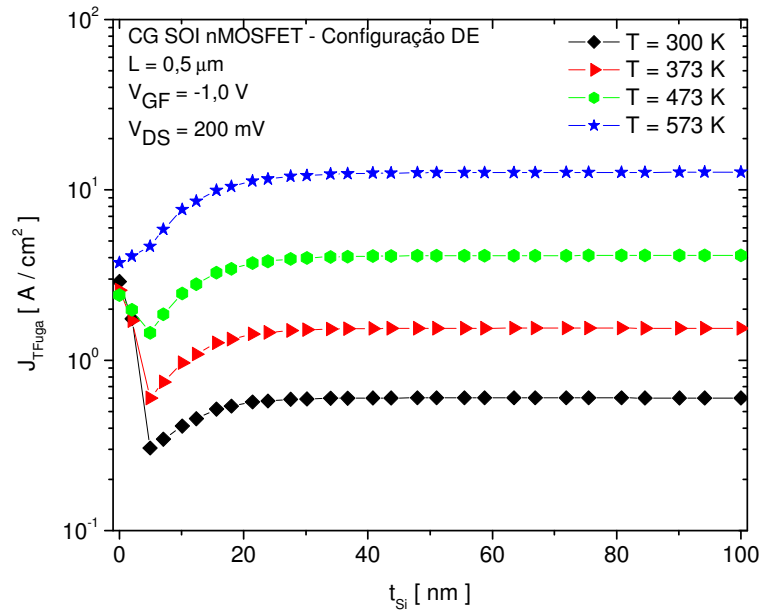


Figura 4.24 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para configuração DE de um dispositivo CG SOI nMOSFET.

A figura 4.25 apresenta a mesma comparação anterior, porém agora com o CG SOI nMOSFET configurado com DI.

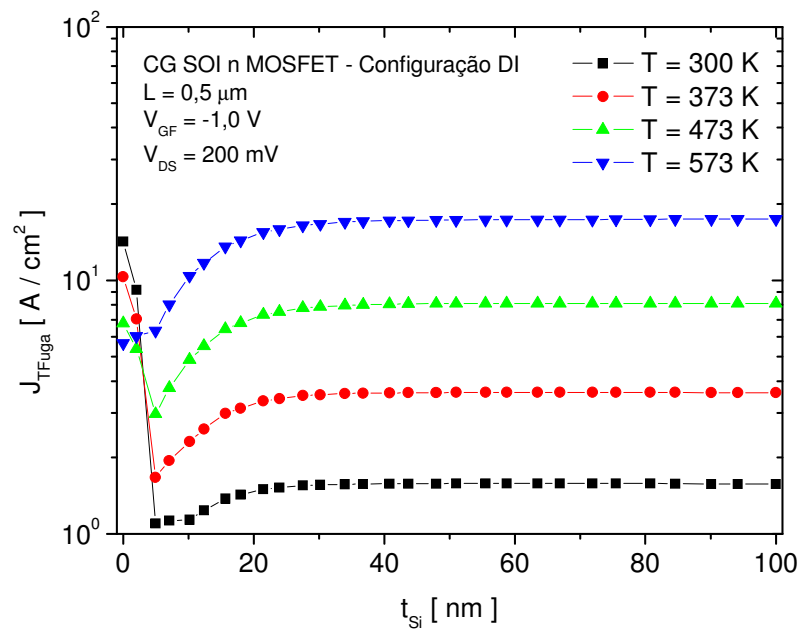


Figura 4.25 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para configuração DI de um dispositivo CG SOI nMOSFET.

Comparando as figuras 4.24 e 4.25 observa-se que o comportamento de  $J_{TFuga}$  é similar para ambas as configurações (DE e DI). Além disso nota-se que a  $J_{TFuga}$  aumenta concomitantemente com a temperatura.

Já figura 4.26 apresenta o comportamento de  $J_{TFuga}$  para o SOI nMOSFET de porta retangular com  $L = 0,5 \mu\text{m}$ , operando em altas temperaturas.

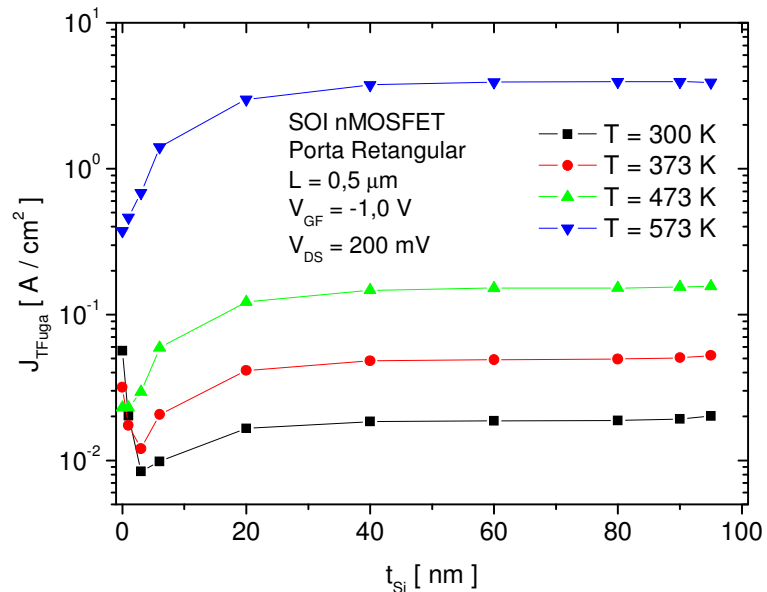


Figura 4.26 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício em altas temperaturas de um dispositivo SOI nMOSFET de porta retangular.

Através da avaliação dos resultados apresentados na figura 4.26, nota-se um grande aumento na densidade de corrente de fuga total em função da espessura do filme de silício quando a temperatura é igual a 573 K, mostrando que o dispositivo SOI nMOSFET de porta retangular tem uma maior sensibilidade na densidade de corrente de fuga para altas temperaturas quando comparado com o dispositivo CG SOI nMOSFET operando nas mesmas condições.

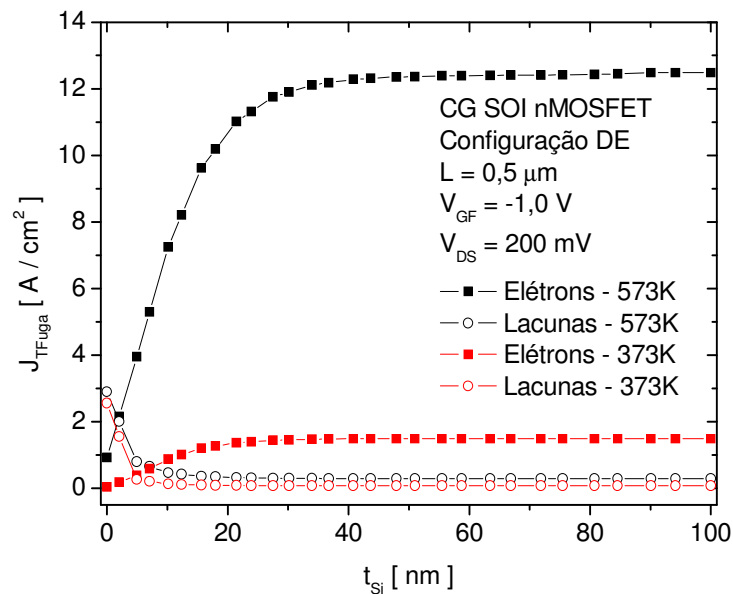


Figura 4.27 – Comparação da densidade de corrente de fuga por elétrons e por lacunas em função da profundidade do filme de silício para diferentes temperaturas de operação do CG SOI nMOSFET configurado como DE.



A figura 4.27 apresenta a densidade de corrente de fuga por elétrons e por lacunas do dispositivo CG SOI nMOSFET de  $L = 0,5 \mu\text{m}$  e operando em duas temperaturas,  $T = 373$  e  $573$  K, onde mais uma vez é possível verificar que o principal responsável pelo aumento da densidade total da corrente de fuga são os elétrons, pois variando-se a temperatura de operação do dispositivo, a densidade de corrente por lacunas apresentou uma variação muito pequena, enquanto que a densidade de corrente por elétrons sofreram um aumento significativo com o incremento da temperatura. Isso se dá ao fato de o canal dos dispositivos em estudo serem do tipo P, onde a concentração de elétrons (portadores minoritários) e as lacunas (portadores majoritários) são dados pelas seguintes equações:

$$n \cong \frac{n_i^2}{N_A} \quad (4.1)$$

$$p \cong N_A \quad (4.2)$$

Através das equações (4.1) e (4.2) é possível compreender o comportamento observado na figura 4.27, pois a concentração de elétrons depende da concentração intrínseca dos portadores ( $n_i$ ), que por sua vez, segundo a equação (2.4), é dependente da temperatura, logo, o aumento da temperatura causa um aumento de  $n_i$ , que por sua vez acaba causando um aumento na concentração dos elétrons, fazendo com que a densidade de corrente por elétrons aumente. Esse evento não ocorre com a densidade de corrente por lacunas devido ao fato de a concentração de lacunas ser dependente apenas de  $N_A$ , que é constante e independente da temperatura de operação do dispositivo.

Comparando as duas estruturas, nota-se que para a mesma condição de polarização, mesmo comprimento de canal e mesma temperatura de operação, os dispositivos SOI nMOSFET de porta retangular apresentaram menores valores de densidade de corrente de fuga, enquanto que os CG SOI nMOSFETs com DI apresentaram os maiores valores, e com níveis com intermediários, ficaram os CG SOI nMOSFETs com DE.

Com o intuito de investigar as diferenças entre as duas configurações (DE e DI) do CG SOI nMOSFET, as figuras 4.28, 4.29 e 4.30 apresentam um comparativo de  $J_{\text{TFuga}}$  para os dispositivos operando a  $573$  K com comprimento de canais iguais a  $0,5 \mu\text{m}$ ,  $0,7 \mu\text{m}$  e  $1,0 \mu\text{m}$  respectivamente.

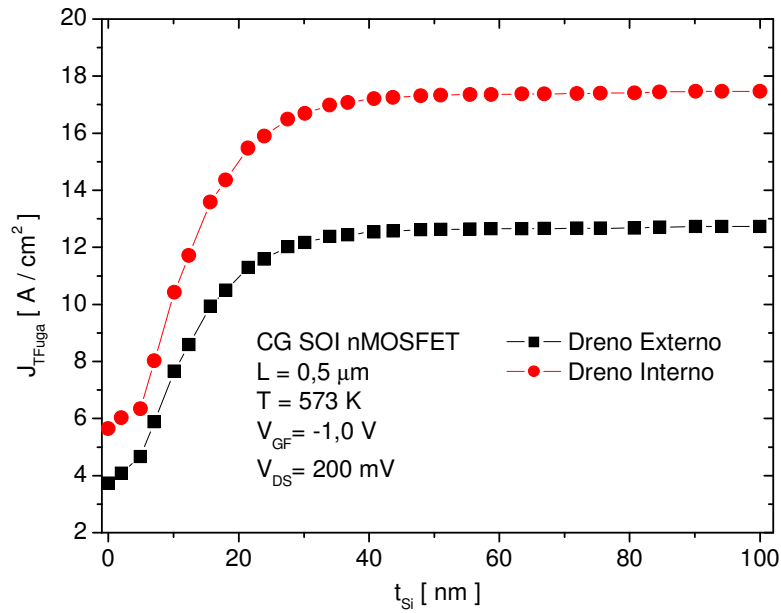


Figura 4.28 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para o CG SOI nMOSFET com  $L = 0,5 \mu\text{m}$ .

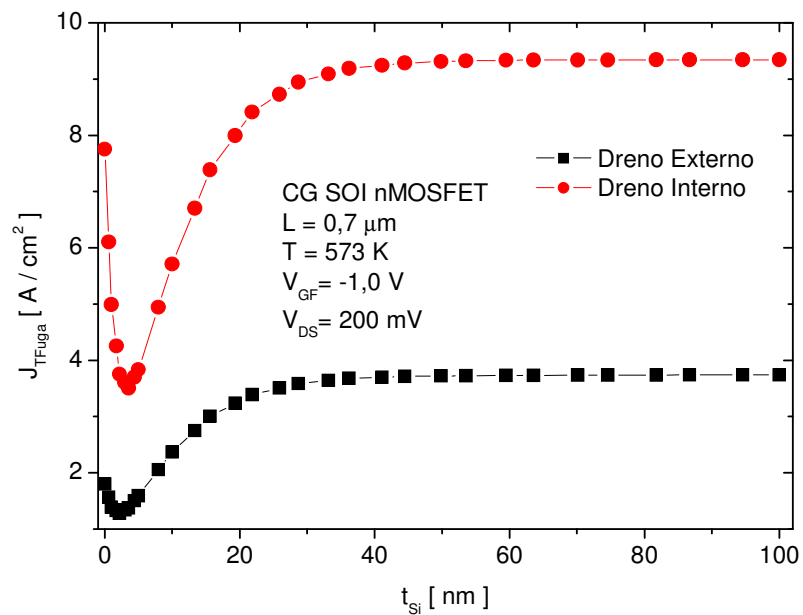


Figura 4.29 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para o CG SOI nMOSFET com  $L = 0,7 \mu\text{m}$ .

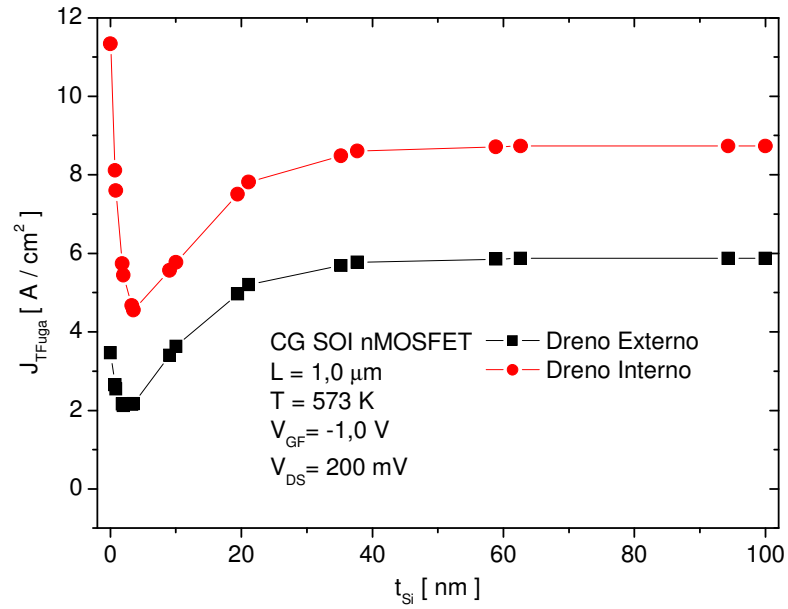


Figura 4.30 – Comportamento da densidade de corrente de fuga total em função da profundidade do filme de silício sob altas temperaturas para o CG SOI nMOSFET com L = 1,0 μm.

Através dos resultados apresentados nas figuras acima, nota-se que o comportamento de  $J_{TFuga}$  em função da espessura do filme de silício é similar para ambas as configurações, embora maior para a configuração DI quando comparada com a configuração DE. Além disto, também é notado que a distância “d” do ponto onde ocorre a inversão dos portadores majoritários (onde os elétrons começam a ser o principal componente de densidade de corrente de fuga) tem profundidade maior quando comparado com o dispositivo configurado com DI.

Na figura 4.31 estão mostrados detalhes referentes ao ponto da camada de inversão dos portadores majoritários para o dispositivo CG SOI nMOSFET com L = 0,5 μm e a tabela 4.1, apresenta os valores relativos da distância onde ocorre esta inversão.

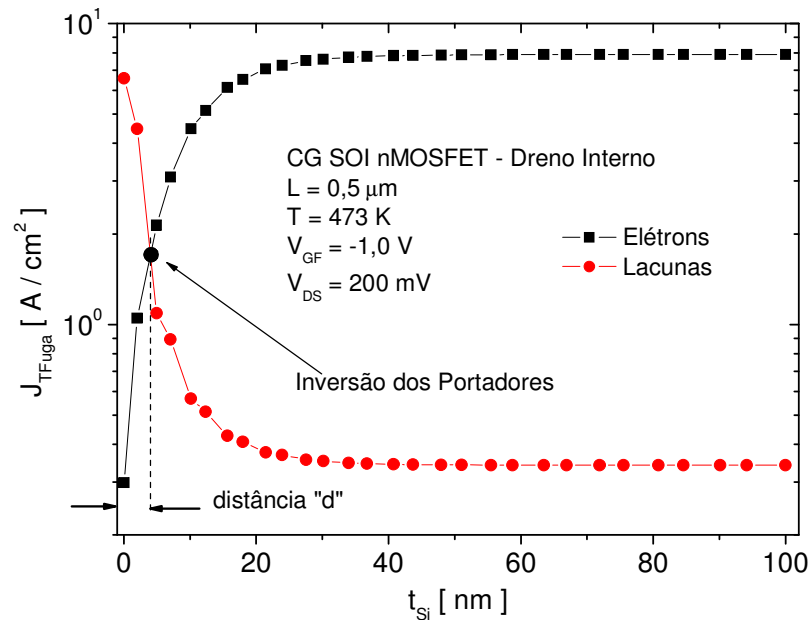


Figura 4.31 – Detalhes do ponto onde ocorre a inversão dos portadores majoritários.

Tabela 4.1 – Distância (d) onde ocorre a inversão dos portadores majoritários nas estruturas CG SOI nMOSFETs.

@ 573 K	L = 0,5 μm	L = 0,7 μm	L = 0,9 μm	L = 1,0 μm	L = 2,0 μm	L = 5,0 μm
DI [ nm ]	2,280	3,475	5,156	5,713	6,915	8,672
DE [ nm ]	1,865	2,338	3,162	4,445	5,634	7,419

Os resultados apresentados na tabela 4.1 mostram que a profundidade no filme de silício onde ocorre o ponto de inversão (d) aumenta para maiores L, independente da configuração do dreno. Então, isto pode explicar porque a corrente de fuga reduz conforme o L aumenta. Quando o comprimento de canal aumenta, a espessura da camada de inversão também aumenta e conseqüentemente,  $I_{Fuga}$  que flui através do volume do filme de silício reduz. Fazendo uma verificação em temperaturas menores, é observado que a espessura da camada de inversão aumenta reduzindo a corrente total de fuga. Para os dispositivos SOI nMOSFET de porta retangular resultados similares também foram observados.

Analisando as evoluções de  $I_{Fuga}$  na estrutura CG SOI nMOSFET, é importante comentar que os comportamentos nas duas configurações (DE e DI) são similares, porém a corrente de fuga é sempre maior quando o dispositivo estiver configurado com DI. Este resultado foi observado para todos os comprimentos de canais e em todas as temperaturas avaliadas ao longo deste trabalho.

Portanto, até este ponto é observado que a corrente de fuga é maior quando o dispositivo estiver polarizado na condição de DI. Portanto, para entender a influência da configuração do

dreno no comportamento de  $I_{\text{Fuga}}$  nas estruturas CG SOI nMOSFETs operando em altas temperaturas, o campo elétrico será analisado no interior do canal do dispositivo.

### 4.3.3 Campo Elétrico

Uma vez que o comportamento da corrente de fuga no CG SOI nMOSFET foi identificado em função da configuração de dreno, comprimento de canal e da temperatura, o próximo passo é investigar o campo elétrico no interior do canal do dispositivo para ambas as configurações de dreno levando-se em consideração a variação do comprimento de canal.

A extração do campo elétrico no interior do canal foi realizada a uma distância  $\delta = 1,0$  nm da junção dreno / canal, onde o campo elétrico é mais intenso, conforme pode ser visto na figura 4.32. É importante extrair o campo elétrico utilizando sempre essa mesma distância  $\delta$  a fim de permitir uma real comparação entre ambas as configurações possíveis para o dreno.

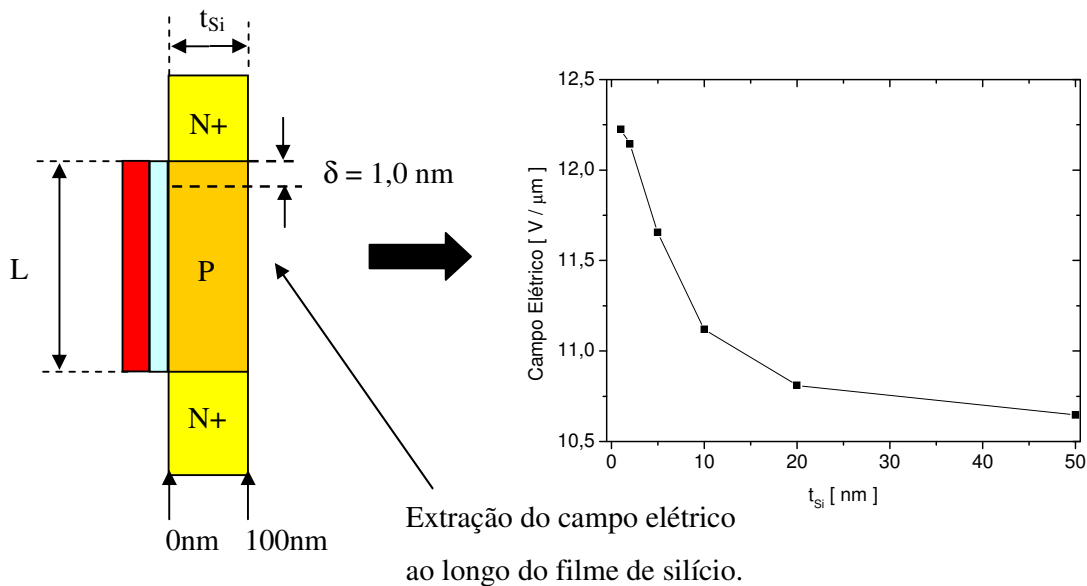


Figura 4.32 – Detalhes da extração do campo elétrico no interior do canal do dispositivo.

A figura 4.33 mostra a evolução do campo elétrico em função da espessura do silício e da temperatura de operação para o CG SOI nMOSFET polarizado com DI e com  $L = 0,5 \mu\text{m}$ .

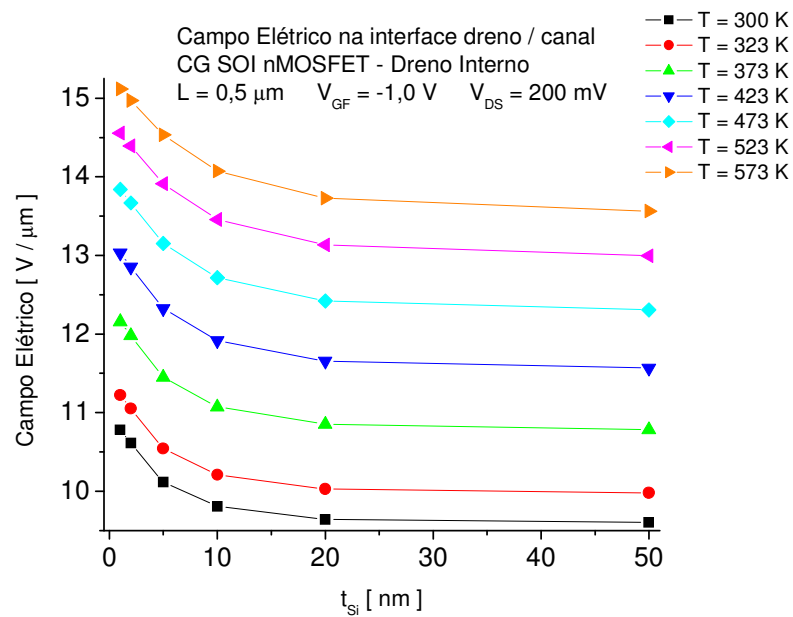


Figura 4.33 – Curva do Campo Elétrico em função do filme de silício para  $L = 0,5 \mu\text{m}$  para o CG SOI nMOSFET configurado com dreno interno.

Observe que a intensidade do campo elétrico é maior na região próxima da porta e depois vai diminuindo até atingir um valor aproximadamente constante após 20 nm de profundidade no canal. Note também que o campo elétrico é mais intenso quando o dispositivo está operando em temperaturas maiores. Esse mesmo comportamento foi observado para comprimentos de canais maiores.

A figura 4.34 mostra a evolução do campo elétrico em função da espessura do filme de silício e da temperatura de operação, para o CG SOI nMOSFET polarizado com DE e  $L = 0,5 \mu\text{m}$ .

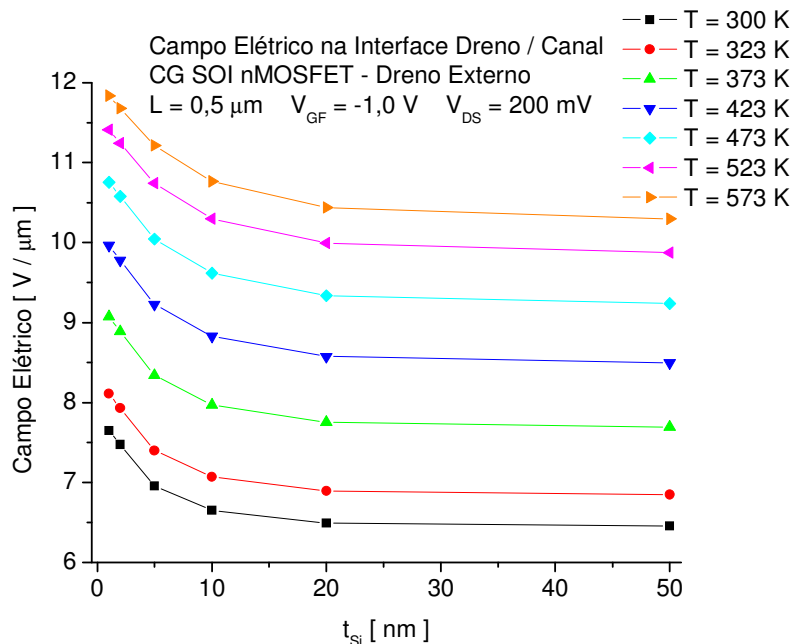


Figura 4.34 – Curva do Campo Elétrico em função do filme de silício para  $L = 0,5 \mu\text{m}$  para o CG SOI nMOSFET configurado com dreno externo.

Comparando os resultados apresentados nas figuras 4.33 e 4.34, é possível notar que o CG nMOSFET com DI apresentou intensidades de campo elétrico maiores em relação à configuração DE. As figuras 4.35 e 4.36 fazem uma comparação mais detalhada sobre a intensidade do campo elétrico em função da profundidade do filme de silício para as configurações DE e DI a 573 K, para o CG SOI nMOSFET com  $L = 0,5 \mu\text{m}$  e  $L = 1,0 \mu\text{m}$ , respectivamente.

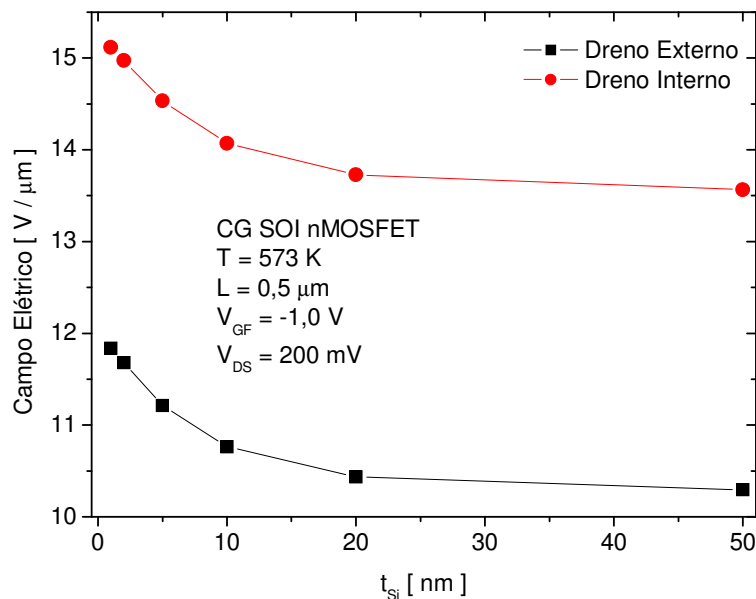


Figura 4.35 – Comparação do Campo Elétrico em função do filme de silício para o CG SOI nMOSFET configurado com DE e DI a 573 K e  $L = 0,5 \mu\text{m}$ .

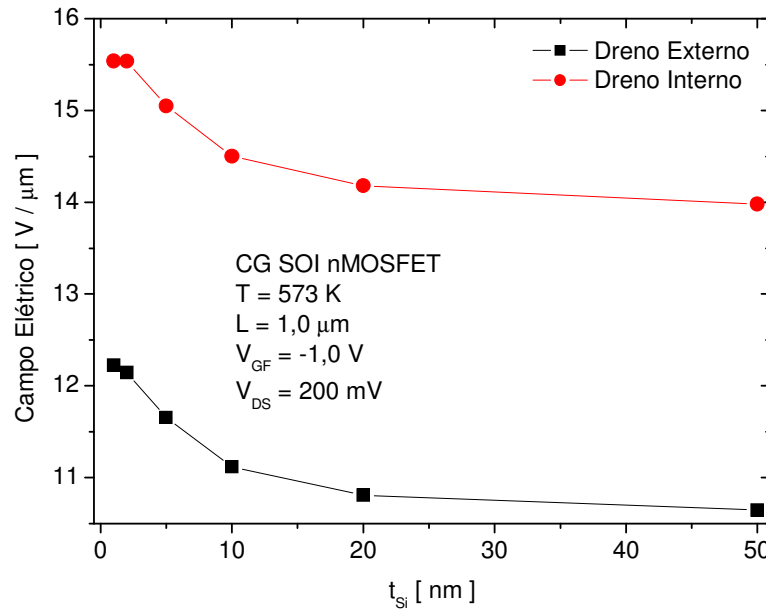


Figura 4.36 – Comparação do Campo Elétrico em função do filme de silício para o CG SOI nMOSFET configurado com DE e DI a 573 K e L = 1,0 μm.

Então, através dos resultados apresentados nas figuras 4.35 e 4.36, é possível observar que, para a mesma temperatura e polarização, o campo elétrico próximo à região de dreno é maior quando o dispositivo está configurado com DI. Esse fenômeno pode ser entendido através da lei de Gauss [34], o qual leva em consideração a carga elétrica líquida em função da permissividade, do campo elétrico e também da área. Como a tensão aplicada ao dreno é constante e igual para as duas configurações, logo a carga elétrica líquida presente no dreno deve ser similar para ambas as configurações (DE e DI), porém, devido à área de interface dreno / canal ser menor quando o dispositivo está configurado para DI, a concentração do campo elétrico aumenta conforme é descrito pela equação (4.3) [34]:

$$q = \epsilon_{Si} \cdot E \cdot A \quad \therefore \quad E = \frac{q}{\epsilon_{Si} \cdot A} \quad (4.3)$$

onde:

- A: é a área de interface dreno / canal.

O campo elétrico pode ser expresso pela equação (4.4) [34], onde é possível notar a sua relação direta com a densidade de corrente e a condutividade do silício:

$$E = \frac{J}{\sigma} \quad \therefore \quad J = \sigma \cdot E \quad (4.4)$$



onde:

- $\sigma$ : é a condutividade do silício.

Então, observando a equação (4.4) é possível notar que  $J_{TFuga}$  depende da intensidade do campo elétrico proveniente da região do dreno e também da condutividade do canal do dispositivo.

A condutividade pode ser expressa pela equação (4.5) [35].

$$\sigma = q \cdot (n \cdot \mu_n + p \cdot \mu_p) \quad (4.5)$$

onde:

- $n$ : é a concentração de elétrons no silício;
- $p$ : é a concentração de lacunas no silício;
- $\mu_n$ : é a mobilidade de elétrons;
- $\mu_p$ : é a mobilidade de lacunas.

A mobilidade dos portadores é a facilidade com que cargas  $n$  e  $p$  (elétrons e lacunas) atravessam a estrutura cristalina do material [35]. Quanto maior a mobilidade dos portadores, menor será a perda de energia, portanto maior será a condutividade.

As concentrações  $n$  e  $p$  podem ser expressas pelas equações (4.1) e (4.2) [35], respectivamente.

Portanto, a equação (4.4) pode ser expressa como:

$$J = E \cdot q \cdot \left[ \left( \frac{n_i^2}{N_A} \right) \cdot \mu_n + (N_A) \cdot \mu_p \right] \quad (4.6)$$

Substituindo a equação (4.3) na equação (4.6) tem-se:

$$J = \frac{q^2}{\epsilon_{Si} \cdot A} \cdot \left[ \left( \frac{n_i^2}{N_A} \right) \cdot \mu_n + (N_A) \cdot \mu_p \right] \quad (4.7)$$

Analisando a equação (4.7), nota-se claramente que  $J_{TFuga}$  depende da área de interface do dreno / canal, da concentração intrínseca dos portadores (o qual está ligado diretamente em função

da temperatura de operação do dispositivo segundo a equação 2.4), da concentração de impurezas do canal, e também da mobilidade dos portadores.

Com isso, nota-se que a equação (4.7) descreve precisamente o comportamento observado nos dispositivos CG SOI nMOSFETs, pois na configuração DI (que possui a área de interface dreno / canal menor) sempre apresentou valores de  $I_{\text{Fuga}}$  maiores quando comparado com a configuração DE, que possui a área de interface dreno / canal superior [36]. Nota-se também que o aumento de  $I_{\text{Fuga}}$  para temperaturas de operações superiores ocorre devido ao aumento de  $n_i$ , o que contribui também para o incremento de  $J_{\text{TFuga}}$  [36].

Foi observado que para a mesma condição de polarização, mesmo comprimento de canal e mesma temperatura de operação, os dispositivos SOI nMOSFET de porta retangular apresentaram menores valores de intensidade de campo elétrico quando comparado com os CG SOI nMOSFETs para ambas as configurações (DE e DI). Então é por esta razão que os SOI nMOSFETs de porta retangular apresentaram valores menores de corrente de fuga de dreno, pois conforme a equação (4.4), intensidades de campo elétrico menores, implica em valores menores de densidades de corrente, que por sua vez implica em valores menores de correntes de fuga de dreno.

## 5 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho foi realizado o estudo da corrente de fuga de dreno em transistores da tecnologia SOI MOSFET de porta circular e porta retangular. Avaliou-se o comportamento da corrente de fuga em função da variação da temperatura de operação da faixa compreendida entre 300 K e 573 K, em função do comprimento de canal entre 0,5  $\mu\text{m}$  e 5,0  $\mu\text{m}$ .

Pelo fato do dispositivo SOI nMOSFET de porta circular possuir uma geometria assimétrica, foi analisada a corrente de fuga em duas possíveis combinações de polarização do dreno; dreno externo e dreno interno.

O estudo teve início analisando-se o comportamento da corrente de dreno em função da tensão aplicada à porta nos dispositivos, e observou-se que ao incrementar a temperatura de operação, a corrente de fuga aumenta concomitantemente. A corrente de fuga não só aumenta com o incremento da temperatura, mas também com a diminuição do comprimento de canal. A partir desta observação foram realizados estudos do comportamento da densidade da corrente de fuga em função da espessura do filme de silício. Com isso, observou-se que a densidade de corrente próximo da interface óxido de silício / filme de silício é composta majoritariamente por lacunas, conforme se distancia desta interface, a concentração majoritária por lacunas vai diminuindo e a concentração por elétrons vai aumentando até ocorrer a inversão dos portadores majoritários, onde é possível notar que a principal componente da corrente de fuga são os elétrons, os quais fluem em regiões mais distantes da interface óxido de silício / filme de silício do dispositivo (através do corpo do filme de silício).

Durante as investigações da corrente e da densidade de corrente de fuga em função da configuração com dreno externo e dreno interno, para os dispositivos SOI nMOSFETs de porta circular, foi observado que a configuração com dreno interno apresentou maiores valores de corrente de fuga de dreno quando comparado à configuração com dreno externo, independente da temperatura de operação e do comprimento de canal.

Observando-se a dependência da corrente de fuga em função da configuração de dreno nos dispositivos SOI nMOSFETs de porta circular, foi estudada a intensidade do campo elétrico no interior do canal nas imediações do dreno. Observou-se que a intensidade do campo elétrico próximo à região de dreno é maior quando o dispositivo está configurado com dreno interno, devido a sua área de interface dreno / canal ser menor quando comparada com a configuração com dreno externo. Esse resultado mostrou uma forte relação entre a área de interface dreno / canal com a intensidade de campo elétrico, o qual pode ser observado através da equação da lei de Gauss.

Comparando as estruturas de porta retangular e circular verifica-se que para a mesma condição de polarização, mesmo comprimento de canal e mesma temperatura de operação, os dispositivos SOI nMOSFETs de porta retangular apresentaram menores valores de corrente de fuga, enquanto que os SOI nMOSFETs de porta circular operando com dreno interno apresentaram maiores valores de correntes de fuga, e com níveis intermediários, ficaram os SOI nMOSFETs de porta circular operando com dreno externo. A razão dos dispositivos SOI nMOSFETs de porta retangular terem apresentado menores valores na corrente de fuga foi devido à sua intensidade de campo elétrico ser menor quando comparado com os dispositivos de porta circular, tanto para a configuração com dreno interno como para a configuração para dreno externo.

A partir dos resultados obtidos ao longo deste trabalho, ficam sugeridos como estudos futuros a da influência da corrente de fuga em função da espessura do filme de silício, de preferência menores que 80 nm, onde os dispositivos passam a ser totalmente depletados e também, em função da espessura do óxido de porta para investigar a corrente de fuga de dreno por indução da tensão aplicada à porta, conhecido como GIDL.

Um ponto extremamente importante para se estudar nos dispositivos CG SOI nMOSFETs é o ponto de coeficiente zero de temperatura (*“Zero Temperature Coefficient”*- ZTC), no qual a corrente de dreno permanece a mesma, independentemente da temperatura de operação da estrutura.

Outra sugestão de estudo diz respeito ao comportamento da corrente de fuga comparando as duas estruturas para faixas de temperaturas maiores de operação, por exemplo, de 573 K a 873 K, visto que os dispositivos SOI nMOSFETs de porta circular apresentaram um comportamento de constante aumento nos valores de corrente de fuga por toda a faixa de temperatura estudada, enquanto que os SOI nMOSFETs de porta retangular apresentaram aumentos significativos acima de 473 K, onde é possível notar que extrapolando-se as curvas das figuras 4.12 e 4.13, deduz-se que por volta de 673 K o dispositivo de porta retangular passe a apresentar maiores valores para a corrente de fuga de dreno em relação ao dispositivo de porta circular.

## REFERÊNCIAS BIBLIOGRÁFICAS

### Capítulo 1:

- [1] TAUR, Y.; BUCHANAN, D. A.; et al. CMOS scaling into nanometer regime. Proceedings of IEEE, v. 85, p. 486, 1997.
- [2] KRANTI, A.; HALDAR, S.; GUPTA, R.S. Temperature-Dependent Threshold Voltage Analysis of Surrounding/Cylindrical Gate Fully Depleted Thin Film SOI MOSFET in the Range 77 to 520K. Microelectronic Engineering, v.49, p.273, 1999.
- [3] DAVIS, G.E. IEEE Trans. On Nuclear Science, Vol. 32, p. 4432, 1985.
- [4] LERAY, J. L.. IEEE Trans. On Nuclear Science, Vol 35, p. 1355, 1988.
- [5] KRULL, W. A.; LEE, J. C.; Proceedings SOS/SOI Technology Workshop, p. 69, 1989.
- [6] W. P. MASZARA, Proceedings of the Fourth International Symposium on Silicon On Insulator Technology and Devices, Vol. 90-6, p. 199, 1990.
- [7] BELLODI M. Estudo das Componentes e Modelagem das Correntes de Fuga em Dispositivos SOI MOSFETs Operando em Altas Temperaturas. São Paulo – Brasil, 2001. Tese de Doutorado – Universidade de São Paulo.
- [8] COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3<sup>rd</sup> Ed. Kluwer Academic Publishers, p. 151, 2004.

### Capítulo 2:

- [9] FRANCIS. P.; COLINGE J. P.; FLANDRE D. Comparison of self-heating effect in GAA and SOI MOSFETs. Microelectronics Reliability, v. 37, p. 61, 1997.
- [10] SZE, S. M.; Physics of Semiconductor Devices, 2<sup>a</sup> edição, Nova York, John Wiley&Sons, 1981.
- [11] COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3<sup>rd</sup> Ed. Kluwer Academic Publishers, p.154, 2004.

- [12] FLANGRE, D.; VAN DE WIELE, F. Proceedings of IEEE SOS/SOI Technology Conference, p.27, 1989.
- [13] COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3<sup>rd</sup> Ed. Kluwer Academic Publishers, p.201, 2004.
- [14] BUCKLEY-GOLDER, I. M.; First European Conf. On High Temperature Electronics; Madrid, 25-26 Nov.; 1993.
- [15] FLANGRE, D.; COLINGE, J. P. Anais da IX Sociedade Brasileira de Microeletrônica, p. 777, Agosto 1994.
- [16] SHOUCAIR, F. S.; HWANG, W.; JAI, P. IEEE Trans. CHMT – 7, n°. 01, p. 146, 1984.
- [17] AUBERTÓN-HERVÉ, A. J.; COLINGE, J. P.; FLANGRE, D. High temperature Applications of SIMOX Technology, Japanese Solid-State Technology, p. 12, Decembrer 1993.
- [18] MCDONNALD, J. A., “Proving They Can Take the Heat”, THE Report, III – Vs Review, Vol. 9, n° 5, p. 63 – 67, 1996.
- [19] GRABINSKI, W., STRICKER, A., FICHTNER, W., A Versatile Setup for Semiconductor Testing up to 550°C, HITEC 1998, USA, p. 143 – 147, 1998.
- [20] OSMAN, A. A., OSMAN, M. A., Investigation of High Temperature Effects on MOSFET Transconductance (gm), HITEC 1998, USA, p. 301 – 304, 1998.
- [21] CHEN, L. Y., MCCLUSKEY, P., Microsystem Packaging for High Temperature Enviroments, EEE Links, Vol. 8, p. 46 – 50, Agosto, 2002.
- [22] MCDONNALD, J. A., HITEC: International Focal Point for High Temperature Applications, THE Report, III – Vs Review, Vol. 9, n° 4, p. 57 – 59, 1996.
- [23] MCCLUSKEY, P., PODLESACK, T., GRZYBOWSKI, R., High Temperature Electronics, 1<sup>st</sup> Ed., CRC Publisher, p. 223 – 268, 1996.
- [24] MIZUNO, K., OHTA, K., KITAGAWA, F., NAGASE, H., Analog CMOS Integrated Circuits for High Temperatures Operation with Leakage Current Compensation, HITEC 1998, USA, p. 41 – 44, 1998.
- [25] COLINGE, J. P. Silicon-On-Insulator Technology: Materials to VLSI, 3<sup>rd</sup> Ed. Kluwer

Academic Publishers, p.315, 2004.

[26] BELLODI, M., Metodologia para Obtenção da Corrente de Fuga em Transistores SOI MOSFETs Operando em Altas Temperaturas. São Paulo – Brasil, 1996. Dissertação de Mestrado – Universidade de São Paulo.

### **Capítulo 3:**

[27] STREETMAN, B. G., BANERJEE, K., Solid-State Electronic Devices, 6<sup>th</sup> Ed., Pearson Prentice, p. 94, 2005.

[28] DevEdit3D, version 2.8.5.R , Silvaco International (2006).

[29] Atlas User's Manual, Device Simulation Software, 10<sup>o</sup> Edição, p. 2-26, 2005.

[30] GIMENEZ, S. P.; et al. Proceedings of the Microelectronics Technology and Devices SBMicro 2006, vol.4 n<sup>o</sup>.1 p.309, 2006.

[31] JURGENSEN, R.; BROWN, R. G.; Geometry, 1<sup>st</sup> Ed. Houghton Mifflin Company, p. 329, 2000.

### **Capítulo 4:**

[32] Atlas User's Manual, Device simulation software, 10<sup>a</sup> edição, 2005.

[33] ALMEIDA, L. M.; BELLODI, M.; Study of the Drain Leakage Current Behavior in Circular Gate SOI nMOSFET Using 0.13 $\mu$ m SOI CMOS Technology at High Temperatures, In: SBMicro 2007 – 22<sup>nd</sup> International Symposium on Microelectronics Technology and Devices, Rio de Janeiro, 2007.

[34] D. Halliday, R. Resnick, J. Walker, Fundamentals of Physics, 4<sup>th</sup> Ed., p.42, John Wiley & Sons Inc. (1993).

[35] COLINGE, J. P.; COLINGE, C. A.; Physics of Semiconductor Devices, 1<sup>st</sup> Ed. Kluwer Academic Publishers, p.53, 2002.

[36] BELLODI, M.; ALMEIDA, L. M.; Drain Leakage Current Behavior in Circular Gate SOI nMOSFET Operating from Room Temperatures up to 573 K, In: The 212<sup>th</sup> ECS Meeting Electrochemical and Solid-State Science, 2007.

## APÊNDICE 1

Abaixo segue o arquivo de simulação ATLAS do dispositivo SOI nMOSFETs de porta retangular com  $L=1,0 \mu\text{m}$  e com temperatura de 573 K:

```
# Simulacao de um Transistor MOSFET SOI de porta retangular
# L=lum tsi=100nm tox=2.5nm toxb=400nm
# Temperatura = de 300 a 573k
# Esta simulacao faz o levantamento da curva IDxVG
# em funcao da Temperatura e da Tensao de Dreno

go atlas

# Construcao da Grade

mesh    space.mult=1.0

x.mesh  loc=0.00 spac=0.05
x.mesh  loc=0.23 spac=0.001
x.mesh  loc=0.27 spac=0.001
x.mesh  loc=0.5  spac=0.005
x.mesh  loc=0.6  spac=0.05
x.mesh  loc=0.7  spac=0.1
x.mesh  loc=0.8  spac=0.05
x.mesh  loc=1.0  spac=0.005
x.mesh  loc=1.23 spac=0.001
x.mesh  loc=1.27 spac=0.001
x.mesh  loc=1.5  spac=0.05

y.mesh  loc=-0.0025 spac=0.01
y.mesh  loc=-0.002 spac=0.005
y.mesh  loc=-0.001 spac=0.005
y.mesh  loc=-0.0005 spac=0.05
y.mesh  loc=-0.0003 spac=0.002
y.mesh  loc=-0.0001 spac=0.002
y.mesh  loc= 0.00 spac=0.0003
y.mesh  loc= 0.001 spac=0.001
y.mesh  loc= 0.003 spac=0.005
y.mesh  loc= 0.006 spac=0.01
y.mesh  loc= 0.020 spac=0.05
y.mesh  loc= 0.040 spac=0.05
y.mesh  loc= 0.060 spac=0.05
y.mesh  loc= 0.080 spac=0.05
y.mesh  loc= 0.090 spac=0.05
y.mesh  loc= 0.095 spac=0.05
y.mesh  loc= 0.100 spac=0.001
y.mesh  loc= 0.105 spac=0.05
y.mesh  loc= 0.200 spac=0.05
y.mesh  loc= 0.300 spac=0.05
y.mesh  loc= 0.400 spac=0.2
y.mesh  loc= 0.500 spac=0.2

# Definicao das Regioes da Estrutura

region    num=1 y.min=-0.0025 y.max=0 oxide
region    num=2 x.min=0.25    x.max=1.25 y.min=0 y.max=0.100 silicon
region    num=3 y.min=0.100   oxide
region    num=4 x.max=0.25    y.min=0    y.max=0.100 silicon
region    num=5 x.min=1.25    y.min=0    y.max=0.100 silicon
```



```

# Definicao dos Eletrodos do dispositivo

# #1-GATE #2-SOURCE #3-DRAIN #4-SUBSTRATE

electrode    name=gate    x.min=0.25 x.max=1.25  y.min=-0.0025 y.max=-0.0025
electrode    name=source  x.min=0.0  x.max=0.10  y.min=-0.0025 y.max=0.0
electrode    name=drain   x.min=1.4  x.max=1.5   y.min=-0.0025 y.max=0.0
electrode    name=substrate bottom

# Definicao das Dopagens

doping       uniform     conc=5e17      p.type region=2  x.l=0.25 x.r=1.25
doping       gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=4 x.r=0.25
doping       gauss n.type conc=1e20 char=0.2 lat.char=0.00304 reg=5 x.l=1.25

# Especificando as Propriedades de Interface

interf       qf=5e10 y.max=0.015
interf       qf=1e11 y.min=0.085

# Configuracao da Funcao Trabalho da Porta

contact name=gate n.poly
contact name=substrate workfunc=4.95

#####
models bgn kla shi auger qtunn.el qtunn.ho hhi hei bbt.kl print temp=573
impact selb
method gummel newton autonr trap maxtrap=10 carriers=2
# bicgst
#####

solve init
solve prev

solve vdrain    =0
solve vsource   =0
solve vgate     =0
solve vsubstrate=0

# Subindo a tensão de Dreno

solve    vdrain=1e-7
solve    vdrain=1e-6
solve    vdrain=1e-5
solve    vdrain=1e-4
solve    vdrain=1e-3
solve    vdrain=5e-3
solve    vdrain=1e-2
solve    vdrain=2e-2
solve    vdrain=3e-2
solve    vdrain=4e-2
solve    vdrain=5e-2
solve    vdrain=6e-2
solve    vdrain=7e-2
solve    vdrain=8e-2
solve    vdrain=9e-2
solve    vdrain=1e-1
solve    vdrain=1.5e-1
solve    vdrain=2e-1

```

```
# Subindo a tensão de Porta

solve      vgate=-1e-8
solve      vgate=-1e-7
solve      vgate=-1e-6
solve      vgate=-1e-5
solve      vgate=-1e-4
solve      vgate=-1e-3
solve      vgate=-1e-2
solve      vgate=-1e-1
solve      vgate=-2e-1
solve      vgate=-4e-1
solve      vgate=-6e-1
solve      vgate=-8e-1
solve      vgate=-1
#####
save        outf=soi_L1_573K.str
#####
solve      vgate=-1.25
solve      vgate=-1.5

# Levantamento da curva IDXVG para Temp.=573K e VD=200mV

log         outf=soi_L1_idvg573K_vd200m.log master
solve      vgate=-1.5 vfinal=1.5 vstep=0.02 name=gate
#####
#quit
```

## APÊNDICE 2

Abaixo segue o arquivo de simulação ATLAS do CG SOI nMOSFET com  $L=1,0 \mu\text{m}$  e com temperatura de 573 K:

```
#####
# Simulacao de um transistor circular 3D com L=1um e W=100um
# Espessura da camada de silicio: tSi=100nm
# Espessura do oxido de porta: toxf=25nm
# Espessura do oxido enterrado: toxb=400nm
# # Concentracao da regioao de canal: Na=5.0E17cm-3
# # Concentracao da regioao de fonte e dreno : Nd=1.0E20cm-3
#####
go atlas
#####
# A malha foi especificada no devedit3d #
#####
MESH infile = circ-final-idvg.str
#####
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=3
DOPING UNIFORM CONCENTRATION=5.0E17 P.TYPE REGION=4
DOPING UNIFORM CONCENTRATION=1E20 N.TYPE REGION=5
#####
# Especificando as Propriedades de Interface
interf      qf=5e10 y.max=0.015
interf      qf=1e11 y.min=0.085
#####
# Configuracao da Função Trabalho da Porta
CONTACT NAME=ContPorta N.POLY
CONTACT NAME=ContSubs WORKFUNCTION=4.95
#####
# SPECIFYING PHYSICAL MODELS
#####
models bgn kla shi auger qtunn.el qtunn.ho hhi hei bbt.kl print temp=573
impact selb
method gummel newton autonr bicgst trap maxtrap=10 carriers=2
#####
# Subs=1, Dreno=2, Porta=3 e Fonte=4
#####
solve init
solve prev
solve v1=0
```

```
solve v4=0
solve v2=0
solve v3=0
# Levantando a tensao de dreno (dreno externo)
solve V2=1e-4
solve V2=1e-3
solve V2=10e-3
solve V2=50e-3
solve V2=100e-3
solve V2=200e-3

# Subindo a tensao de porta ate -1.5 V #
solve v3=-1e-4
solve v3=-1e-3
solve v3=-1e-2
solve v3=-5e-2
solve v3=-1e-1
solve v3=-5e-1
solve v3=-1.0
#####
save outf=circL1_573KDE.str
#####
solve v3=-1.5
#####
log outf=circ_L1_idvg573KDE.log
solve v3=-1.5 vstep=0.01 vfinal=1.5 name=ContPorta
#####
quit
```